

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Tsutomu SASAKI
Conf.:
Appl. No.:
Group:
Filed: July 14, 2003
Examiner:
Title: MULTI-PHASE CLOCK GENERATION CIRCUIT

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

July 14, 2003

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-211637	July 19, 2002

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

BC/yr

Attachment(s): 1 Certified Copy(ies)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月19日

出 願 番 号

Application Number:

特願2002-211637

[ST.10/C]:

[JP2002-211637]

出 願 人

Applicant(s):

日本電気株式会社

2003年 6月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3041786

【書類名】 特許願

【整理番号】 40410693PY

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/04
G06F 1/06
H03K 5/15

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 佐々木 努

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100083987

【弁理士】

【氏名又は名称】 山内 梅雄

【手数料の表示】

【予納台帳番号】 016252

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006535

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 多相クロック生成回路

【特許請求の範囲】

【請求項 1】 同一周波数でそれぞれ異なった位相からなる基準となる周波数で 2 の n 乗通りの基準クロック信号を発生する基準クロック信号発生手段と、

この基準クロック信号発生手段の発生した任意の基準クロック信号を入力し、これをそれぞれ 2 分周して位相の 180° 異なるクロック信号を生成する第 1 の分周手段と、

この第 1 の分周手段の分周後のクロック信号と前記基準クロック信号発生手段の発生した基準クロックを 1 つずつ入力してそれらの一方を選択する第 1 のクロック選択手段と、

前段のクロック選択手段の選択したクロック信号を入力し、それぞれ 2 分周して位相の 180° 異なるクロック信号を生成する第 2 ～第 n の分周手段と、

第 2 ～第 n の分周手段のうち該当するものの分周後のクロック信号と前記基準クロック信号発生手段の発生した基準クロックを 1 つずつ入力してそれらの一方を選択する第 2 ～第 n のクロック選択手段と、

これら第 1 ～第 n のクロック選択手段の選択を制御して第 n のクロック選択手段から選択されて出力されるクロック信号の分周数を設定するクロック選択手段制御手段

とを具備することを特徴とする多相クロック生成回路。

【請求項 2】 同一周波数でそれぞれ異なった位相からなる基準となる周波数で 2 の n 乗通りの基準クロック信号を発生する基準クロック信号発生手段と、

この基準クロック信号発生手段の発生した任意の基準クロック信号を入力し、これを 2 分周したクロック信号を生成する初段分周手段と、

この初段分周手段の分周したクロック信号を入力し、これをそれぞれ 2 分周して位相の 180° 異なるクロック信号を生成する第 1 の分周手段と、

この第 1 の分周手段の分周後のクロック信号と前記基準クロック信号発生手段の発生した基準クロックを 1 つずつ入力してそれらの一方を選択する第 1 のクロック選択手段と、

前段のクロック選択手段の選択したクロック信号を入力し、それぞれ2分周して位相の180°異なるクロック信号を生成する第2～第nの分周手段と、

第2～第nの分周手段のうち該当するものの分周後のクロック信号と前記基準クロック信号発生手段の発生した基準クロックを1つずつ入力してそれらの一方を選択する第2～第nのクロック選択手段と、

これら第1～第nのクロック選択手段の選択を制御して第nのクロック選択手段から選択されて出力されるクロック信号の分周数を設定するクロック選択手段制御手段

とを具備することを特徴とする多相クロック生成回路。

【請求項3】 前記第1～第nの分周手段はD型フリップフロップ回路とインバータによって構成されていることを特徴とする請求項1または請求項2記載の多相クロック生成回路。

【請求項4】 前記分周手段を構成する複数のD型フリップフロップ回路のうちのいずれか所定のD型フリップフロップ回路の出力データとしてのクロック信号を、この所定のD型フリップフロップ回路に入力しているクロックと同一のクロックで再度この分周手段を構成する他のD型フリップフロップ回路で取り込み直すように回路が構成されていることを特徴とする請求項3記載の多相クロック生成回路。

【請求項5】 前記クロック選択手段制御手段が設定した分周数に応じて未使用となった前記分周手段に入力する少なくとも一部のクロックを遮断するクロック遮断手段を具備することを特徴とする請求項1または請求項2記載の多相クロック生成回路。

【請求項6】 前記初段分周手段はD型フリップフロップ回路とインバータによって構成されていることを特徴とする請求項2記載の多相クロック生成回路。

【請求項7】 前記基準クロック信号発生手段はPLL回路によって構成されていることを特徴とする請求項1または請求項2記載の多相クロック生成回路。

【請求項8】 前記第1の分周手段の入力する基準クロック信号を任意に選

択する基準クロック信号選択手段を具備することを特徴とする請求項 1 または請求項 2 記載の多相クロック生成回路。

【請求項 9】 前記初段分周手段の入力する基準クロック信号を任意に選択する基準クロック信号選択手段を具備することを特徴とする請求項 6 記載の多相クロック生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は多相クロック信号を生成する多相クロック生成回路に係わり、特に多相クロック信号をクロック信号を分周して生成する多相クロック生成回路に関する。

【0002】

【従来の技術】

近年のインターネットや各種通信ネットワークの普及に伴って、通信量が爆発的に増加している。膨大な情報量に対応するために、これらの情報を処理するルータやサーバ等の通信装置は、それらを構成する半導体素子あるいは半導体装置（チップ）間あるいは筐体間で大容量の通信が要求されている。このような大容量の通信を実現するためには、通信用 L S I（Large Scale Integrated circuit：大規模集積回路）における 1 チャンネル当たりの伝送速度を、マルチギガビット相当に高速化した高速シリアル伝送の技術が使用されている。

【0003】

このような高速シリアル伝送を行う通信用 L S I には、通常の場合、CDR（Clock Data Recovery）回路と呼ばれるクロック信号のリカバリのための回路が搭載されており、これを用いてリカバリを行うようになっている。クロックデータのリカバリを実行するためには、受信データからそのデータに同期したクロックを抽出し、データをリタイミングする必要がある。このため CDR 回路では位相が複数に変化した多相クロック信号を予め用意しておくことが必要となる。従来からこのような多相クロック信号は PLL（Phase Locked Loop）回路を使用して生成している。

【 0 0 0 4 】

図 1 2 は、P L L 回路の概要を表わしたものである。P L L 回路 1 0 1 は、基準クロック信号 1 0 4 と、 $1/N$ 分周回路 1 0 5 の分周出力 1 0 6 を入力してこれらの位相を比較する位相比較回路 1 0 7 と、この位相比較回路 1 0 7 の比較結果 1 0 8 に応じて $1/N$ 分周回路 1 0 5 への出力信号 1 0 9 の周波数を変化させる電圧制御発振器（V C O（Voltage Controlled Oscillator））1 1 0 とから原理的に構成されている。位相比較回路 1 0 7 の比較結果 1 0 8 としての位相差がなくなった状態で周波数が安定し、基準クロック信号 1 0 4 の周波数の N 倍となる。

【 0 0 0 5 】

この P L L 回路 1 0 1 から出力される多相クロック信号 1 1 2 をクロックリカバリ回路 1 1 3 に供給するようになっている。

【 0 0 0 6 】

ところで、高速伝送用の通信用 L S I では、シリアルデータの伝送レートを伝送距離や適応装置の状態に応じて切り替えるようにしたものがある。たとえば高速シリアルデータ伝送回路の動作周波数は、6 2 5 M H z（メガヘルツ）、1. 2 5 G H z（ギガヘルツ）、2. 5 G H z といったように非常に広範囲にわたって切り替えるようにしたものがある。このような様々な要求の伝送レートに対応させるためには、図 1 2 に示した多相クロック信号 1 1 2 の動作周波数の変化に応じて電圧制御発振器 1 1 0 の発振周波数を変化させる必要がある。この場合に、多相クロック信号 1 1 2 が前記した例で示したように超高速で動作周波数の変化幅が広範囲になると、安定した性能を得るための P L L 回路 1 0 1 の設計、特に電圧制御発振器 1 1 0 の設計が非常に困難になるといった問題があった。

【 0 0 0 7 】

図 1 3 は、このような問題を解決するものとして提案された多相クロック生成回路の概要を表わしたものである。この図 1 3 で図 1 2 と同一部分には同一の符号を付しており、これらの説明を適宜省略する。この提案の多相クロック生成回路 1 2 1 は、図 1 2 に示した P L L 回路 1 0 1 の出力 1 2 3 を多相クロック分周回路 1 2 4 に入力して分周し、多相クロック信号 1 2 5 を作成して、これをクロ

ックリカバリ回路 1 1 3 に供給するようにしている。すなわち、この提案の多相クロック生成回路 1 2 1 では、電圧制御発振器 1 1 0 をある一定周波数で発振させ、外付けされた多相クロック分周回路 1 2 4 で分周後の多相クロック信号 1 2 5 を得るようにしている。

【 0 0 0 8 】

図 1 4 は、図 1 3 に示した多相クロック分周回路として従来提案された第 1 の例を示したものである。特開 2 0 0 1 - 3 1 8 7 3 1 号公報に示されたこの多相クロック生成回路 1 4 1 は、第 1 相～第 8 相の 8 相のクロック出力端子 $1 4 2_1$ ～ $1 4 2_8$ と、これらに対応した第 1 ～第 8 の D 型フリップフロップ回路 $1 4 3_1$ ～ $1 4 3_8$ からなる直列回路を備えている。第 1 ～第 8 の D 型フリップフロップ回路 $1 4 3_1$ ～ $1 4 3_8$ のクロック入力端子 CK には、第 1 相～第 8 相の 8 相のクロック出力端子 $1 4 2_1$ ～ $1 4 2_8$ から出力するクロック信号の周波数を 8 通倍した 8 通倍クロック信号 1 4 5 が 8 通倍クロック発生回路 1 4 4 から供給されている。また、この 8 通倍クロック信号 1 4 5 は $1/8$ 分周回路 1 4 6 に入力されて、本来の周波数のクロック信号 1 4 7 が出力されるようになっている。

【 0 0 0 9 】

このクロック信号 1 4 7 は、前記した直列回路の第 1 段目の第 1 の D 型フリップフロップ回路 $1 4 3_1$ の入力端子 D に入力されている。第 1 の D 型フリップフロップ回路 $1 4 3_1$ の出力端子 Q からは第 1 のクロック信号 $1 4 9_1$ が出力され、第 1 相のクロック出力端子 $1 4 2_1$ に出力されると共に、第 2 の D 型フリップフロップ回路 $1 4 3_2$ の入力端子 D に入力されている。以下同様に、一般に第 n の D 型フリップフロップ回路 $1 4 3_n$ の出力端子 Q からは第 n のクロック信号 $1 4 9_n$ が出力され、第 n 相のクロック出力端子 $1 4 2_n$ に出力されると共に、第 n + 1 の D 型フリップフロップ回路 $1 4 3_{n+1}$ の入力端子 D に入力される。

【 0 0 1 0 】

このような多相クロック生成回路 1 4 1 では、第 1 ～第 7 の D 型フリップフロップ回路 $1 4 3_1$ ～ $1 4 3_7$ が 1 クロックずつクロック信号をシフトさせてそれぞれ次段の D 型フリップフロップ回路 $1 4 3_2$ ～ $1 4 3_8$ に供給している。この結果、第 1 相～第 8 相の 8 相のクロック出力端子 $1 4 2_1$ ～ $1 4 2_8$ から、所望の周波

数のクロック信号で位相が 45° ずつシフトした第1～第8のクロック信号 $149_1 \sim 149_8$ が得られることになる。しかしながら、この提案された多相クロック生成回路では、8通倍クロック発生回路144あるいは一般的には n 通倍クロック発生回路144を必要とする。既に説明したようにクロック信号の周波数は極めて高速化しており、このよう状況でその周波数を更に n 倍に高めることは非常に困難となる場合が多い。

【0011】

図15は、このような問題を解決するものとして提案された他の多相クロック分周回路を示したものである。この図15で図14と同一部分には同一の符号を付しており、これらの説明は適宜省略する。同じく特開2001-318731号公報に示されたこの多相クロック生成回路161では、基準クロック発生回路162から出力される基準クロック信号163を2通倍回路164に入力することによって倍の周波数のクロック信号165を作成している。基準クロック信号163は最終的に得られる第1相～第8相の8相のクロック出力端子 $142_1 \sim 142_8$ と同一の周波数の信号である。2通倍回路164から出力されるクロック信号165は $n/4$ 相クロック回路166に入力されるようになっている。 $n/4$ 相クロック回路166における値 n は相の数である。ここでは8相のクロック信号 $149_1 \sim 149_8$ が生成されるので、値 n は8であり、2相クロック回路となる。2相クロック回路166は合計で2相となる第1のクロック167と第2のクロック168を発生させる。第1のクロック167に対して第2のクロック168は8相のクロック信号 $149_1 \sim 149_8$ が出力される際の相間の周期(45° 相当)に等しい遅延時間だけずれて出力される。

【0012】

第1のクロック167は第1のインバータ169で信号状態を反転され、その出力としての第3のクロック172が第3および第7のD型フリップフロップ回路 143_3 、 143_7 のクロック入力端子CKに供給されるようになっている。また、第2のクロック168は第2のインバータ170で信号状態を反転され、その出力としての第4のクロック173が第4および第8のD型フリップフロップ回路 143_4 、 143_8 のクロック入力端子CKに供給されるようになっている。

また、反転前の第1のクロック167は第1および第5のD型フリップフロップ回路143₁、143₅のクロック入力端子CKに供給される。反転前の第2のクロック168の方は第2および第6のD型フリップフロップ回路143₂、143₆のクロック入力端子CKに供給される。第2のクロック168は更に2分周回路175に入力されて2分周されその出力176が第1のD型フリップフロップ回路143₁の入力端子Dに供給される。第1～第8のD型フリップフロップ回路143₁～143₈は、図14に示した多相クロック生成回路141の場合と同様に直列接続されており、それぞれ対応する出力端子Qから第1～第8のクロック信号149₁～149₈が得られる。

【0013】

【発明が解決しようとする課題】

この図15に示した多相クロック生成回路161では、 $n/4$ 相クロック回路166における値 n が“8”の場合（8相の場合）の回路構成を示している。しかし、これらの従来技術では、次のような問題点があった。その問題点は、同一回路で多相クロックの分周数を変化したクロックを出力できないことである。その理由は、シフトレジスタを用いて多相クロックを生成しているためである。シフトレジスタを用いた場合、図14に示した多相クロック生成回路141では、シフトレジスタに供給するクロックは、 n 相クロックの場合、 $1/n$ 分周回路により n 分周されたクロックを供給する必要がある。また、図15に示した多相クロック161では、 n 相クロックの場合、 $n/4$ 相クロック発生回路と2分周回路が必要となる。したがって、同一回路で2分周、4分周、8分周など分周数を自由に切り替えた多相クロックを出力することができない。

【0014】

図16は、図15の提案を基にして、2分周、4分周および8分周の多相クロックを切り替えて生成することのできる多相クロック生成回路を作成した場合を示したものである。この多相クロック生成回路181では、図15に示した多相クロック生成回路161におけるPLL回路に代表される基準クロック発生回路162を用意し、これから出力される基準クロック信号をそれぞれ後段の2分周回路部分182、4分周回路部分183、8分周回路部分184に入力する。2

分周回路部分 1 8 2 は、2 分周回路 $1 8 0_{2A}$ と 2 通倍回路 $1 8 0_{2B}$ および図 1 5 に示した残りの回路あるいはこれと対応する回路が配置されている。4 分周回路部分 1 8 3 は、4 分周回路 $1 8 0_{4A}$ と 2 通倍回路 $1 8 0_{4B}$ および図 1 5 に示した残りの回路あるいはこれと対応する回路が配置されている。8 分周回路部分 1 8 4 は、8 分周回路 $1 8 0_{8A}$ と 2 通倍回路 $1 8 0_{8B}$ および図 1 5 に示した残りの回路あるいはこれと対応する回路が配置されている。

【 0 0 1 5 】

これら 2 分周回路部分 1 8 2、4 分周回路部分 1 8 3 および 8 分周回路部分 1 8 4 からそれぞれ出力される 2 分周多相クロック信号 1 8 5、4 分周多相クロック信号 1 8 6 および 8 分周多相クロック信号 1 8 7 は、セレクト 1 8 8 に入力される。セレクト 1 8 8 には相数選択信号 1 8 9 が供給されるようになっており、希望する分周数に対応した多相クロック信号 1 9 0 が選択されて出力されることになる。

【 0 0 1 6 】

このように図 1 5 に示した多相クロック生成回路 1 6 1 で分周数を変化した多相クロックを選択しようとする、たとえば図 1 6 に示したような回路構成を採用する必要がある、回路規模が増大してしまうという問題があった。

【 0 0 1 7 】

そこで本発明の目的は、比較的簡単な回路構成で多相クロックの分周比や位相を選択できる多相クロック生成回路を提供することにある。

【 0 0 1 8 】

【課題を解決するための手段】

請求項 1 記載の発明では、（イ）同一周波数でそれぞれ異なった位相からなる基準となる周波数で 2 の n 乗通り（ただし値 n は正の整数）の基準クロック信号を発生する基準クロック信号発生手段と、（ロ）この基準クロック信号発生手段の発生した任意の基準クロック信号を入力し、これをそれぞれ 2 分周して位相の $1 8 0^\circ$ 異なるクロック信号を生成する第 1 の分周手段と、（ハ）この第 1 の分周手段の分周後のクロック信号と基準クロック信号発生手段の発生した基準クロックを 1 つずつ入力してそれらの一方を選択する第 1 のクロック選択手段と、（

二) 前段のクロック選択手段の選択したクロック信号を入力し、それぞれ2分周して位相の 180° 異なるクロック信号を生成する第2～第nの分周手段と、(ホ) 第2～第nの分周手段のうち該当するものの分周後のクロック信号と基準クロック信号発生手段の発生した基準クロックを1つずつ入力してそれらの一方を選択する第2～第nのクロック選択手段と、(ヘ) これら第1～第nのクロック選択手段の選択を制御して第nのクロック選択手段から選択されて出力されるクロック信号の分周数を設定するクロック選択手段制御手段とを多相クロック生成回路に具備させる。

【0019】

すなわち請求項1記載の発明では、基準クロック信号発生手段が同一周波数でそれぞれ異なった位相からなる基準となる周波数で2のn乗通り(ただし値nは正の整数)の基準クロック信号を発生し、このうちの1つの基準クロックを第1の分周手段が入力してそれぞれ2分周して位相の 180° 異なる2種類のクロック信号を生成する。これらのクロック信号は、第1のクロック選択手段に入力されて、それぞれが基準クロックの1つずつと2者択一で選択される。そして、選択された2通りのクロック信号が第2の分周手段で第1の分周手段と同様にそれぞれを基にして2分周し位相の 180° 異なる2種類のクロック信号を生成する。そして、第2のクロック選択手段がこれらと基準クロックの1つずつと2者択一で選択する。以下同様にn段だけ鼠算式に分周とクロックの選択を行う回路構成とする。クロック選択手段制御手段は、要求された分周比に応じて各クロック選択手段が基準クロックを選択するか分周後のクロックを選択するかを制御する。これにより、最終段のクロック選択手段から所望の分周比のクロック信号を得ることができ、かつ複数得られたこれらのクロック信号から所望の位相のものを選択することができる。しかも本発明の場合には、第1段の分周手段が1つの基準クロックを選択し、それ以後は鼠算式に回路構成を拡張しているので、回路構成に無駄がなく、シンプルな回路構成とすることができる。

【0020】

請求項2記載の発明では、(イ) 同一周波数でそれぞれ異なった位相からなる基準となる周波数で2のn乗通りの基準クロック信号を発生する基準クロック信

号発生手段と、（ロ）この基準クロック信号発生手段の発生した任意の基準クロック信号を入力し、これを2分周したクロック信号を生成する初段分周手段と、（ハ）この初段分周手段の分周したクロック信号を入力し、これをそれぞれ2分周して位相の 180° 異なるクロック信号を生成する第1の分周手段と、（ニ）この第1の分周手段の分周後のクロック信号と基準クロック信号発生手段の発生した基準クロックを1つずつ入力してそれらの一方を選択する第1のクロック選択手段と、（ホ）前段のクロック選択手段の選択したクロック信号を入力し、それぞれ2分周して位相の 180° 異なるクロック信号を生成する第2～第nの分周手段と、（ヘ）第2～第nの分周手段のうち該当するものの分周後のクロック信号と基準クロック信号発生手段の発生した基準クロックを1つずつ入力してそれらの一方を選択する第2～第nのクロック選択手段と、（ト）これら第1～第nのクロック選択手段の選択を制御して第nのクロック選択手段から選択されて出力されるクロック信号の分周数を設定するクロック選択手段制御手段とを多相クロック生成回路に具備させる。

【 0 0 2 1 】

すなわち請求項2記載の発明では、基準クロック信号発生手段が同一周波数でそれぞれ異なった位相からなる基準となる周波数で2のn乗通り（ただし値nは正の整数）の基準クロック信号を発生し、このうちの1つの基準クロックを初段分周手段に入力して2分周する。この2分周したクロック信号を第1の分周手段が入力してそれぞれ2分周して位相の 180° 異なる2種類のクロック信号を生成する。これらのクロック信号は、第1のクロック選択手段に入力されて、それぞれが基準クロックの1つずつと2者択一で選択される。そして、選択された2通りのクロック信号が第2の分周手段で第1の分周手段と同様にそれぞれを基にして2分周し位相の 180° 異なる2種類のクロック信号を生成する。そして、第2のクロック選択手段がこれらと基準クロックの1つずつと2者択一で選択する。以下同様にn段だけ鼠算式に分周とクロックの選択を行う回路構成とする。クロック選択手段制御手段は、要求された分周比に応じて各クロック選択手段が基準クロックを選択するか分周後のクロックを選択するかを制御する。これにより、最終段のクロック選択手段から所望の分周比のクロック信号を得ることがで

き、かつ複数得られたこれらのクロック信号から所望の位相のものを選択することができる。しかも本発明の場合には、第 1 段の分周手段以降が鼠算式に回路構成を拡張しているので、回路構成に無駄がなく、シンプルな回路構成とすることができる。また、第 1 段の分周手段の手前に初段分周手段を配置して第 1 段の分周手段に入力するクロック信号を基準クロック信号を 2 分周したものとしたので、簡単に分周数を増加させることができる。

【 0 0 2 2 】

請求項 3 記載の発明では、請求項 1 または請求項 2 記載の多相クロック生成回路で、第 1 ～第 n の分周手段は D 型フリップフロップ回路とインバータによって構成されていることを特徴としている。

【 0 0 2 3 】

すなわち請求項 3 記載の発明では、第 1 ～第 n の分周手段を D 型フリップフロップ回路とインバータによって構成することで、回路動作の高速化を実現している。

【 0 0 2 4 】

請求項 4 記載の発明では、請求項 3 記載の多相クロック生成回路で、分周手段を構成する複数の D 型フリップフロップ回路のうちのいずれか所定の D 型フリップフロップ回路の出力データとしてのクロック信号を、この所定の D 型フリップフロップ回路に入力しているクロックと同一のクロックで再度この分周手段を構成する他の D 型フリップフロップ回路で取り込み直すように回路が構成されていることを特徴としている。

【 0 0 2 5 】

すなわち請求項 4 記載の発明では、1 相のクロックで取り込んだ D 型フリップフロップ回路の出力データをもう 1 相のクロック入力で取り込むことは、クロックが高速化しその周期が短くなると非常に困難になるので、D 型フリップフロップ回路を 1 組ずつ多く配置して高速処理を可能にしている。これにより、多相クロック生成回路の取り扱う基準クロックの高速化を達成することができる。

【 0 0 2 6 】

請求項 5 記載の発明では、請求項 1 または請求項 2 記載の多相クロック生成回

路が、クロック選択手段制御手段が設定した分周数に応じて未使用となった分周手段に入力する少なくとも一部のクロックを遮断するクロック遮断手段を具備することを特徴とする

【 0 0 2 7 】

本発明では鼠算式の回路構成で各分周手段等を構成することで消費電力の節約を図っているが、更に請求項 5 記載の発明では要求された分周比で使用されない回路部分へ入力される少なくとも一部のクロックを遮断するクロック遮断手段を備えることで、更なる消費電力の節約を図っている。

【 0 0 2 8 】

請求項 6 記載の発明では、請求項 1 または請求項 2 記載の多相クロック生成回路で、初段分周手段は D 型フリップフロップ回路とインバータによって構成されていることを特徴としている。

【 0 0 2 9 】

すなわち請求項 6 記載の発明では、請求項 3 記載の発明と同様の観点で、初段分周手段を D 型フリップフロップ回路とインバータによって構成することで、回路動作の高速化を実現している。

【 0 0 3 0 】

請求項 7 記載の発明では、請求項 1 または請求項 2 記載の多相クロック生成回路で、基準クロック信号発生手段は PLL 回路によって構成されていることを特徴としている。

【 0 0 3 1 】

すなわち請求項 7 記載の発明では、基準クロック信号発生手段を PLL 回路によって構成することで、出力する基準クロック信号自体の周波数を簡易に変更することができる。

【 0 0 3 2 】

請求項 8 記載の発明では、請求項 1 または請求項 2 記載の多相クロック生成回路で、第 1 の分周手段の入力する基準クロック信号を任意に選択する基準クロック信号選択手段を具備することを特徴としている。

【 0 0 3 3 】

すなわち請求項 8 記載の発明では、第 1 の分周手段の入力する基準クロック信号を任意に選択できるようにして、出力クロックにおいて所望の位相を設定できるようにしている。

【 0 0 3 4 】

請求項 9 記載の発明では、請求項 6 記載の多相クロック生成回路が、初段分周手段の入力する基準クロック信号を任意に選択する基準クロック信号選択手段を具備することを特徴としている。

【 0 0 3 5 】

すなわち請求項 9 記載の発明では、請求項 8 記載の発明と同様の観点で、初段分周手段の入力する基準クロック信号を任意に選択できるようにして、出力クロックにおいて所望の位相を設定できるようにしている。

【 0 0 3 6 】

【発明の実施の形態】

【 0 0 3 7 】

【実施例】

以下実施例につき本発明を詳細に説明する。

【 0 0 3 8 】

図 1 は本発明の一実施例における多相クロック生成回路を示したものである。本実施例の多相クロック生成回路 2 0 1 は、先の図 1 6 で説明した回路と同様に、8 相クロックを 8 分周、4 分周および 2 分周するようになっている。多相クロック生成回路 2 0 1 は、多相クロック信号を発生させるクロック発生回路 2 0 2 と、このクロック発生回路 2 0 2 の出力するクロック信号を分周する分周回路部 2 0 3 と、分周後のクロック信号を選択する最終段クロック選択回路 2 0 4 とから構成されている。

【 0 0 3 9 】

このうちのクロック発生回路 2 0 2 は、通常、PLL 回路によって構成される。分周回路部 2 0 3 は、クロック発生回路 2 0 2 の出力側と最終段クロック選択回路 2 0 4 の間に配置されており、クロック発生回路 2 0 2 の出力側から最終段クロック選択回路 2 0 4 の方向に、第 1 の分周回路 2 1 1 とその出力側を選択す

る第1のクロック選択回路212と、第2の分周回路213とその出力側を選択する第2のクロック選択回路214と、第3の分周回路215とが順に配置されている。第3の分周回路215の出力側は最終段クロック選択回路204によって選択される。本実施例のクロック発生回路202を構成する回路素子は複数個のD型フリップフロップ回路と複数個のインバータのみであり、これにより高速動作が可能となっている。

【0040】

クロック発生回路202は、第1～第8相の基準クロック信号221～228を出力するようになっている。このようなクロック発生回路202は、たとえばPLL回路を用いて第1～第8相の基準クロック信号221～228を出力することで実現することができる。PLL回路を用いないで同様の回路を作成してもよい。クロック発生回路202から出力される第1相の基準クロック信号221はそのまま最終段クロック選択回路204に入力され、第3の分周回路215の第1相用の出力信号231と二者択一されて第1のクロック出力端子から第1の出力クロック241として出力されるようになっている。第2相の基準クロック信号222はそのまま最終段クロック選択回路204に入力され、第3の分周回路215の第2相用の出力信号232と二者択一されて第2のクロック出力端子から第2の出力クロック242として出力されるようになっている。以下同様に、第8相の基準クロック信号228はそのまま最終段クロック選択回路204に入力され、第3の分周回路215の第8相用の出力信号238と二者択一されて第8のクロック出力端子から第8出力クロック248として出力されるようになっている。

【0041】

図2は、クロック発生回路から出力される第1～第8相のクロック信号の波形を示したものである。同図(a)は第1相の基準クロック信号221を示しており、これが基準となる位相0°のクロック信号である。同図(b)～(h)は第2～第8相の基準クロック信号222～228を順に示しており、位相が45°ずつ315°までずれている。これら第1～第8相の基準クロック信号221～228の周波数は、クロック発生回路202の図示しないPLL回路等によって

、最終的に得られるクロック信号（第 1～第 8 の出力クロック 2 4 1～2 4 8 の全部または一部）の周波数に予め調整されている。

【 0 0 4 2 】

すなわち、本実施例の多相クロック生成回路 2 0 1 では、図 1 に示した最終段クロック選択回路 2 0 4 が後に説明するようにクロック発生回路 2 0 2 から出力される第 1～第 8 相の基準クロック信号 2 2 1～2 2 8 をすべて選択すると、図 1 に示した 8 相の基準クロック信号 2 2 1～2 2 8 が第 1～第 8 の出力クロック 2 4 1～2 4 8 として、そのまま出力されることになる。これに対して、8 分周を行う場合には、クロック発生回路 2 0 2 から出力される第 1～第 8 相の基準クロック信号 2 2 1～2 2 8 のうちの任意の 1 相のみを第 1 の分周回路 2 1 1 に与えるようにしている。また、4 分周を行う場合には、クロック発生回路 2 0 2 から出力される第 1～第 8 相の基準クロック信号 2 2 1～2 2 8 のうちの任意の 2 相を第 2 の分周回路 2 1 3 に与えるようにしている。また、2 分周を行う場合には、クロック発生回路 2 0 2 から出力される第 1～第 8 相の基準クロック信号 2 2 1～2 2 8 のうちの任意の 4 相を第 3 の分周回路 2 1 5 に与えるようにしている。

【 0 0 4 3 】

図 3 は、第 1 の分周回路とその出力側を選択する第 1 のクロック選択回路を具体的に表わしたものである。第 1 の分周回路 2 1 1 は、第 1－1 および第 1－2 の D 型フリップフロップ回路 2 5 1₁、2 5 1₂ と第 1 のインバータ 2 5 2 とによって構成されている。第 1－1 および第 1－2 の D 型フリップフロップ回路 2 5 1₁、2 5 1₂ のクロック入力端子 CK には、前記した任意の 1 相として第 7 相の基準クロック信号 2 2 7 が供給されている。第 1－1 の D 型フリップフロップ回路 2 5 1₁ の入力端子 D には、第 1－2 の D 型フリップフロップ回路 2 5 1₂ の出力端子 Q と第 1 のインバータ 2 5 2 の入力側が接続されている。第 1 のインバータ 2 5 2 の出力側は第 1－2 の D 型フリップフロップ回路 2 5 1₂ の入力端子 D に接続されている。

【 0 0 4 4 】

第 1 のクロック選択回路 2 1 2 は、第 1－1 および第 1－2 のスイッチ 2 5 3

1、 253_2 で構成されている。第1-1のスイッチ 253_1 は、第4相の基準クロック信号 224 と第1-1のD型フリップフロップ回路 251_1 の出力端子Qから出力される第1の2相クロック信号 255_1 を入力して、これらの一方を選択して第1の2相用クロック 256_1 として第2の分周回路 213 に送出するようになっている。第1-2のスイッチ 253_2 は、第8相の基準クロック信号 228 と第1-2のD型フリップフロップ回路 251_2 の出力端子Qから出力される第1の2相クロック信号 255_2 を入力して、これらの一方を選択し第2の2相用クロック 256_2 として第2の分周回路 213 に送出するようになっている。

【0045】

第1の分周回路 211 は、それぞれ第1-1および第1-2のD型フリップフロップ回路 251_1 、 251_2 によって第7相の基準クロック信号 227 を2分周し、互いに位相が 180° 異なる2相用クロック 255_1 、 255_2 を第1のクロック選択回路 212 に出力するようになっている。

【0046】

図4は、これに対して第2の分周回路とその出力側を選択する第2のクロック選択回路を具体的に表わしたものである。第2の分周回路 213 は、第2-1～第2-4のD型フリップフロップ回路 $261_1 \sim 261_4$ と第2～第4のインバータ $262 \sim 264$ を備えている。図3に示した第1のクロック選択回路 212 から出力される第1の2相用クロック 256_1 は第2-1および第2-3のD型フリップフロップ回路 261_1 、 261_3 のクロック入力端子CKに入力され、第1のクロック選択回路 212 から出力される第2の2相用クロック 256_2 は第2-2および第2-4のD型フリップフロップ回路 261_2 、 261_4 のクロック入力端子CKに入力されるようになっている。第2のインバータ 262 は第2-2のD型フリップフロップ回路 261_2 の出力端子Qに出力側を接続され、その出力側を第2-1のD型フリップフロップ回路 261_1 の入力端子Dに接続されている。第3のインバータ 263 は第2-3のD型フリップフロップ回路 261_3 の出力端子Qに出力側を接続され、その出力側を第2-2のD型フリップフロップ回路 261_2 の入力端子Dに接続されている。第4のインバータ 264 は第2

－4のD型フリップフロップ回路261₄の出力端子Qに入力側を接続され、その出力側を第2－3のD型フリップフロップ回路261₃ならびに第2－4のD型フリップフロップ回路261₄の入力端子Dに接続されている。

【0047】

第2のクロック選択回路214は第2－1～第2－4のスイッチ265₁～265₄で構成されている。第2－1のスイッチ265₁は、図1のクロック発生回路202から出力される第2相の基準クロック信号222と第2－1のD型フリップフロップ回路261₁の出力端子Qから出力される第1の4相クロック信号266₁を入力して、これらの一方を選択して第1の4相用クロック267₁として第3の分周回路215（図1）に送出するようになっている。第2－2のスイッチ265₂は、図1のクロック発生回路202から出力される第4相の基準クロック信号224と第2－2のD型フリップフロップ回路261₂の出力端子Qから出力される第2の4相クロック信号266₂を入力して、これらの一方を選択して第2の4相用クロック267₂として第3の分周回路215（図1）に送出するようになっている。第2－3のスイッチ265₃は、図1のクロック発生回路202から出力される第6相の基準クロック信号226と第2－3のD型フリップフロップ回路261₃の出力端子Qから出力される第3の4相クロック信号266₃を入力して、これらの一方を選択して第3の4相用クロック267₃として第3の分周回路215（図1）に送出するようになっている。第2－4のスイッチ265₄は、図1のクロック発生回路202から出力される第8相の基準クロック信号228と第2－4のD型フリップフロップ回路261₄の出力端子Qから出力される第4の4相クロック信号266₄を入力して、これらの一方を選択して第4の4相用クロック267₄として第3の分周回路215（図1）に送出するようになっている。

【0048】

第2の分周回路213は、図3に示した第1のクロック選択回路212の選択によって、互いに位相が180°異なる2相用クロック256₁、256₂を入力して、それぞれを更に2分周し、位相が90°ずつ異なる4相用クロック266₁～266₄を第2のクロック選択回路214に出力するようになっている。

【 0 0 4 9 】

図 5 は、第 3 の分周回路とその出力側を選択する最終段クロック選択回路を具体的に表わしたものである。第 3 の分周回路 2 1 5 は、第 3 - 1 ~ 第 3 - 8 の D 型フリップフロップ回路 2 7 1₁ ~ 2 7 1₈ と第 5 ~ 第 1 1 のインバータ 2 7 2 ~ 2 7 8 を備えている。図 4 に示した第 2 のクロック選択回路 2 1 4 から出力される第 1 の 4 相用クロック 2 6 7₁ は第 3 - 1 および第 3 - 5 の D 型フリップフロップ回路 2 7 1₁、2 7 1₅ のクロック入力端子 CK に入力され、第 2 のクロック選択回路 2 1 4 から出力される第 2 の 4 相用クロック 2 6 7₂ は第 3 - 2 および第 3 - 6 の D 型フリップフロップ回路 2 7 1₂、2 7 1₆ のクロック入力端子 CK に入力される。同様に、第 2 のクロック選択回路 2 1 4 から出力される第 3 の 4 相用クロック 2 6 7₃ は第 3 - 3 および第 3 - 7 の D 型フリップフロップ回路 2 7 1₃、2 7 1₇ のクロック入力端子 CK に入力され、第 2 のクロック選択回路 2 1 4 から出力される第 4 の 4 相用クロック 2 6 7₄ は第 3 - 4 および第 3 - 8 の D 型フリップフロップ回路 2 7 1₄、2 7 1₈ のクロック入力端子 CK に入力されるようになっている。

【 0 0 5 0 】

第 5 のインバータ 2 7 2 は第 3 - 2 の D 型フリップフロップ回路 2 7 2₂ の出力端子 Q に入力側を接続され、その出力側を第 3 - 1 の D 型フリップフロップ回路 2 7 1₁ の入力端子 D に接続されている。第 6 のインバータ 2 7 3 は第 3 - 3 の D 型フリップフロップ回路 2 7 1₃ の出力端子 Q に入力側を接続され、その出力側を第 3 - 2 の D 型フリップフロップ回路 2 7 1₂ の入力端子 D に接続されている。以下同様である。ただし、第 1 1 のインバータ 2 7 8 は第 3 - 8 の D 型フリップフロップ回路 2 7 1₈ の出力端子 Q に入力側を接続され、その出力側を第 3 - 7 の D 型フリップフロップ回路 2 7 1₇ の入力端子 D ならびに第 3 - 8 の D 型フリップフロップ回路 2 7 1₈ の入力端子 D に接続されている。

【 0 0 5 1 】

最終段クロック選択回路 2 0 4 は第 3 - 1 ~ 第 3 - 8 のスイッチ 2 7 9₁ ~ 2 7 9₈ で構成されている。第 3 - 1 のスイッチ 2 7 9₁ は、図 1 のクロック発生回路 2 0 2 から出力される第 1 相の基準クロック信号 2 2 1 と第 3 - 1 の D 型フリ

ップフロップ回路 2 7 1₁ の出力端子 Q から出力される第 1 の 8 相クロック信号 2 3 1 を入力して、これらの一方を選択して第 1 の出力クロック 2 4 1 として第 1 の出力端子 2 8 1 に出力するようになっている。第 3 - 2 のスイッチ 2 7 9₂ は、図 1 のクロック発生回路 2 0 2 から出力される第 2 相の基準クロック信号 2 2 2 と第 3 - 2 の D 型フリップフロップ回路 2 7 1₂ の出力端子 Q から出力される第 2 の 8 相クロック信号 2 3 2 を入力して、これらの一方を選択して第 2 の出力クロック 2 4 2 として第 2 の出力端子 2 8 2 に出力するようになっている。以下同様にして、第 3 - 8 のスイッチ 2 7 9₈ は、図 1 のクロック発生回路 2 0 2 から出力される第 8 相の基準クロック信号 2 2 8 と第 3 - 8 の D 型フリップフロップ回路 2 7 1₈ の出力端子 Q から出力される第 8 の 8 相クロック信号 2 3 8 を入力して、これらの一方を選択して第 8 の出力クロック 2 4 8 として第 8 の出力端子 2 8 8 に出力するようになっている。

【 0 0 5 2 】

第 3 の分周回路 2 1 5 は、図 4 に示した第 2 のクロック選択回路 2 1 4 の選択によって、互いに位相が 9 0° 異なる 4 相用クロック 2 6 7₁ ~ 2 6 7₄ を入力して、それぞれを更に 2 分周し、位相が 4 5° ずつ異なる 8 相クロック 2 3 1 ~ 2 3 8 を最終段クロック選択回路 2 0 4 に出力するようになっている。

【 0 0 5 3 】

図 6 は、以上説明した第 1 および第 2 のクロック選択回路ならびに最終段クロック選択回路内の各スイッチを制御するスイッチ制御回路とスイッチの 1 つを表わしたものである。ここでは代表的に第 1 - 1 のスイッチ 2 5 3₁ とスイッチ制御回路 3 0 0 を説明する。第 1 および第 2 のクロック選択回路 2 1 2、2 1 4、ならびに最終段クロック選択回路 2 0 4 の他のスイッチ 2 5 3₂、2 6 5₁ ~ 2 6 5₄ および 2 7 9₁ ~ 2 7 9₈ も第 1 - 1 のスイッチ 2 5 3₁ と同一の回路構成をしているので、それらの図示および説明は省略する。

【 0 0 5 4 】

第 1 - 1 のスイッチ 2 5 3₁ は、第 1 ~ 第 3 の 2 入力ナンド回路 3 0 1 ~ 3 0 3 で構成されている。第 1 の 2 入力ナンド回路 3 0 1 の第 1 の入力端子は図 1 のクロック発生回路 2 0 2 から出力される第 4 相の基準クロック信号 2 2 4 を入力

するようになっている。第2の2入力ナンド回路302の第1の入力端子は第1の2相クロック信号 255_1 を入力するようになっている。第1の2入力ナンド回路301の第2の入力端子および第2の2入力ナンド回路302の第2の入力端子には、スイッチ制御回路300からそれぞれスイッチオン・オフ制御信号311、312が供給されるようになっている。第1の2入力ナンド回路301の出力と第2の2入力ナンド回路302の出力は、第3の2入力ナンド回路303の入力となっており、第3の2入力ナンド回路303からは第1の2相用クロック 256_1 が出力されるようになっている。

【0055】

スイッチ制御回路300は、第4相の基準クロック信号224を第1の2相用クロック 256_1 として出力するときにはスイッチオン・オフ制御信号311をハイレベルとし、他方のスイッチオン・オフ制御信号312をローレベルとする。これに対して、第1の2相クロック信号 255_1 を第1の2相用クロック 256_1 として出力するときにはスイッチオン・オフ制御信号312をハイレベルとし、スイッチオン・オフ制御信号311の方をローレベルにすることになる。クロックを遮断、すなわち第4相の基準クロック信号224、第1の2相クロック信号 255_1 ともに 256_1 へ出力しない場合は、スイッチオン・オフ制御信号311、312を共にローレベルとする。この場合、 256_1 へのクロックは遮断され、ローレベルに固定されたままとなる。スイッチ制御回路300には第1および第2のクロック選択回路212、214ならびに最終段クロック選択回路204の他のスイッチ 253_2 、 $265_1 \sim 265_4$ および $279_1 \sim 279_8$ のためにも図示しない1対ずつのオン・オフ制御信号を与えるようになっており、これにより、多相クロック生成回路201から各種の多相クロックを出力させることができる。また、スイッチ制御回路はそれぞれ同一動作をする場合は、回路をひとまとめとすることで回路の簡素化をすることも可能である。

【0056】

図7は、本実施例の多相クロック生成回路において8分周を行う場合に出力されるクロック信号の波形を示したものである。同図(a)が基準クロック信号を示したものである。同図(b)は2分周をした場合の、同図(c)は4分周をし

た場合の、そして同図（d）は 8 分周をした場合のクロック信号をそれぞれ示している。

【0057】

まず、1 分周を行う場合には、図 1 に示した最終段クロック選択回路 204 の第 3-1～第 3-8 のスイッチ $279_1 \sim 279_8$ を図 1 のクロック発生回路 202 から出力される 221～228 を選択するように制御させ、これらが出力端子 281～288 へ出力される。これにより、図 2 に示した各位相のそれぞれ位相が 45° 異なる基準クロック信号 221～228 が得られる。

【0058】

なお、1 分周を行う場合には、第 1 のクロック選択回路 212 および第 2 のクロック選択回路 214 により、第 2 のクロック分周回路 213 および第 3 のクロック分周回路 215 へ供給されるクロックを遮断しておくことができる。これにより、無駄な消費電力を生じさせない。

【0059】

次に 2 分周を行う場合を説明する。2 分周を行うためには第 2 のクロック選択回路 214 内の第 2-1～第 2-4 のスイッチ $265_1 \sim 265_4$ を、クロック発生回路 202 から出力される 4 種類の基準クロック信号 222、224、226、228 を選択するように制御させ、これらが第 1～第 4 の 4 相用クロック $267_1 \sim 267_4$ として第 3 の分周回路 215 に入力するようにする。そして、これら 2 分周されたクロック信号 231～238 を最終段クロック選択回路 204 の第 3-1～第 3-8 のスイッチ $279_1 \sim 279_8$ で選択し、出力端子 281～288 へ出力させればよい。これにより、クロック発生回路 202 から出力される基準クロックに対し 2 分周されたそれぞれ位相が 45° 異なる 8 相クロックが得られる。

【0060】

なお、2 分周を行う場合には、これに使用しない回路部分にクロックを供給しないようにすることで、消費電力を節約することができる。この場合には、第 1 のクロック選択回路 212 により、第 2 のクロック分周回路 213 へ供給されるクロックを遮断しておくことにより、無駄な消費電力を生じさせない。

【 0 0 6 1 】

次に4分周を行う場合を説明する。4分周を行うためには第1のクロック選択回路212内の第1-1および第1-2のスイッチ253₁、253₂を、クロック発生回路202から出力される2種類の基準クロック信号224、228を選択するように制御させ、これらが第1および第2の2相用クロック256₁、256₂として第2の分周回路213に入力するようにする。そして、更に第2のクロック選択回路214内の第2-1～第2-4のスイッチ265₁～265₄を、第2の分周回路213から出力される4相クロック信号266₁、266₂、266₃、266₄を選択するように制御させ、これらが第1～第4の4相用クロック267₁～267₄として第3の分周回路215に入力するようにする。そして、これらの更に2分周されたクロック信号231～238を最終段クロック選択回路204の第3-1～第3-8のスイッチ279₁～279₈で選択し、出力端子281～288へ出力させればよい。これにより、クロック発生回路202から出力される基準クロックに対し4分周されたそれぞれ位相が45°異なる8相クロックが得られる。

【 0 0 6 2 】

次に8分周を行う場合を説明する。8分周を行うためには第1の分周回路211から順に分周と、それらの分周出力を第1および第2のクロック選択回路212、214ならびに最終段クロック選択回路204で選択するようにスイッチ制御すればよい。これにより、第1の分周回路211で180°ずつ位相の異なる2分周出力が得られ、これが第2の分周回路213で更に2分周されて90°ずつ位相の異なる4分周出力が得られ、最後に第3の分周回路215で更に2分周されて45°ずつ位相の異なる8分周出力が得られることになる。これにより、第1～第8の出力端子281～288からは図7(d₁)～(d₈)に示すようにそれぞれ位相が45°異なる8分周のクロック信号を出力させることができる。

【 0 0 6 3 】

この例の場合にも、第1のクロック選択回路212は、図1のクロック発生回路202から出力される第1相～第8相の基準クロック信号221～228のうちの1つのクロック信号（実施例では第7の基準クロック信号227）のみを選

択しているので、第 1 の分周回路 2 1 1 が 8 相全部の基準クロック信号 2 2 1 ~ 2 2 8 を選択する場合と比べて消費電力を節約している。

【 0 0 6 4 】

なお、本実施例の多相クロック生成回路 2 0 1 で第 1 ~ 第 8 の出力端子 2 8 1 ~ 2 8 8 から出力される 8 分周のクロック信号の位相を変化させる必要がある場合には、第 1 の分周回路 2 1 1 が入力として選択する基準となる基準クロック信号 2 2 1 ~ 2 2 8の中から所望のものを選択して入力するようにすればよい。

【 0 0 6 5 】

第 1 の変形例

【 0 0 6 6 】

図 8 は本発明の第 1 の変形例における多相クロック生成回路の概要を表わしたものである。この図 8 で図 1 と同一部分には同一の符号を付しており、これらの説明を適宜省略する。この第 1 の変形例の多相クロック生成回路 4 0 1 では、第 1 の分周回路 2 1 1 とクロック発生回路 2 0 2 の間に初段分周回路 4 0 2 が配置されている。

【 0 0 6 7 】

図 9 は、初段分周回路とこの次の段に配置された第 1 の分周回路の部分を具体的に表わしたものである。初段分周回路 4 0 2 は、D 型フリップフロップ回路 4 1 1 と初段インバータ 4 1 2 とによって構成されている。図 8 のクロック発生回路 2 0 2 から出力される第 5 相の基準クロック信号 2 2 5 は、D 型フリップフロップ回路 4 1 1 のクロック入力端子 C K に入力されるようになっている。また、D 型フリップフロップ回路 4 1 1 の出力端子 Q から出力される初段クロック信号 4 1 3 は、初段インバータ 4 1 2 を介して D 型フリップフロップ回路 4 1 1 の入力端子 D に入力されると共に、第 1 の分周回路 2 1 1 の第 1 - 1 および第 1 - 2 の D 型フリップフロップ回路 2 5 1₁、2 5 1₂ のクロック入力端子 C K に入力されるようになっている。

【 0 0 6 8 】

すなわち先の実施例では第 1 の分周回路 2 1 1 が図 1 のクロック発生回路 2 0 2 から第 7 相の基準クロック信号 2 2 7 を入力していたのに対して、第 1 の変形

例では初段分周回路 4 0 2 の出力としての初段クロック信号 4 1 3 を入力している。このように初段分周回路 4 0 2 が多相クロック生成回路 4 0 1 の初段部分に存在するので、ここで 2 分周したクロック信号を更に第 1 の分周回路 2 1 1 以降で分周していくことになり、分周数を図 1 に示した実施例と比べて増加させることができる。

【 0 0 6 9 】

第 2 の変形例

【 0 0 7 0 】

図 1 0 は、本発明の第 2 の変形例における多相クロック生成回路の概要を表わしたものである。図 1 0 で図 1 と同一部分には同一の符号を付しており、これらの説明を適宜省略する。この第 2 の変形例の多相クロック生成回路 5 0 1 では、第 1 のクロック選択回路 2 1 2 と第 2 のクロック選択回路 2 1 4 の間の第 2 の分周回路 2 1 3 A が実施例の図 1 および図 4 に示した第 2 の分周回路 2 1 3 よりも複雑な回路構造となっている。

【 0 0 7 1 】

図 1 1 は、第 1 のクロック選択回路と第 2 の分周回路とその出力側を選択する第 2 のクロック選択回路の部分をも具体的に表わしたものである。第 2 の分周回路 2 1 3 A は、第 2 - 1 ~ 第 2 - 7 の D 型フリップフロップ回路 5 1 1₁ ~ 5 1 1₇ と第 1 2 ~ 第 1 7 のインバータ 5 1 2 ~ 5 1 7 を備えている。第 1 のクロック選択回路 2 1 2 から出力される第 1 の 2 相用クロック 2 5 6₁ は第 2 - 1、第 2 - 4 および第 2 - 5 の D 型フリップフロップ回路 5 1 1₁、5 1 1₄、5 1 1₅ のクロック入力端子 C K に入力され、第 1 のクロック選択回路 2 1 2 から出力される第 2 の 2 相用クロック 2 5 6₂ は第 2 - 2、第 2 - 3、第 2 - 6 および第 2 - 7 の D 型フリップフロップ回路 5 1 1₂、5 1 1₃、5 1 1₆、5 1 1₇ のクロック入力端子 C K に入力されるようになっている。

【 0 0 7 2 】

第 1 2 のインバータ 5 1 2 は第 2 - 2 の D 型フリップフロップ回路 5 1 1₂ の出力端子 Q に入力側を接続され、その出力側を第 2 - 1 の D 型フリップフロップ回路 5 1 1₁ の入力端子 D に接続されている。第 1 3 のインバータ 5 1 3 は第 2

ー 3 の D 型フリップフロップ回路 5 1 1₃ の出力端子 Q に入力側を接続され、その出力側を第 2 - 2 の D 型フリップフロップ回路 5 1 1₂ の入力端子 D に接続されている。以下同様にして、第 1 7 のインバータ 5 1 7 は第 2 - 7 の D 型フリップフロップ回路 5 1 1₇ の出力端子 Q に入力側を接続され、その出力側を第 2 - 6 の D 型フリップフロップ回路 5 1 1₆ および第 2 - 7 の D 型フリップフロップ回路 5 1 1₇ の入力端子 D に接続されている。

【 0 0 7 3 】

第 2 のクロック選択回路 2 1 4 の第 2 - 1 のスイッチ 2 6 5₁ は、図 1 0 のクロック発生回路 2 0 2 から出力される第 2 相の基準クロック信号 2 2 2 と第 2 - 1 の D 型フリップフロップ回路 5 1 1₁ の出力端子 Q から出力される第 1 の 4 相クロック信号 5 2 1₁ を入力して、これらの一方を選択して第 1 の 4 相用クロック 2 6 7₁ として第 3 の分周回路 2 1 5 (図 1 0) に送出するようになっている。第 2 - 2 のスイッチ 2 6 5₂ は、図 1 0 のクロック発生回路 2 0 2 から出力される第 4 相の基準クロック信号 2 2 4 と第 2 - 3 の D 型フリップフロップ回路 5 1 1₃ の出力端子 Q から出力される第 2 の 4 相クロック信号 5 2 1₂ を入力して、これらの一方を選択して第 2 の 4 相用クロック 2 6 7₂ として第 3 の分周回路 2 1 5 (図 1 0) に送出するようになっている。第 2 - 3 のスイッチ 2 6 5₃ は、図 1 0 のクロック発生回路 2 0 2 から出力される第 6 相の基準クロック信号 2 2 6 と第 2 - 5 の D 型フリップフロップ回路 5 1 1₅ の出力端子 Q から出力される第 3 の 4 相クロック信号 5 2 1₃ を入力して、これらの一方を選択して第 3 の 4 相用クロック 2 6 7₃ として第 3 の分周回路 2 1 5 (図 1 0) に送出するようになっている。第 2 - 4 のスイッチ 2 6 5₄ は、図 1 0 のクロック発生回路 2 0 2 から出力される第 8 相の基準クロック信号 2 2 8 と第 2 - 7 の D 型フリップフロップ回路 5 1 1₇ の出力端子 Q から出力される第 4 の 4 相クロック信号 5 2 1₄ を入力して、これらの一方を選択して第 4 の 4 相用クロック 2 6 7₄ として第 3 の分周回路 2 1 5 (図 1 0) に送出するようになっている。

【 0 0 7 4 】

このように第 2 の変形例の多相クロック生成回路 5 0 1 では、D 型フリップフロップ回路の個数に関して、第 2 の分周回路 2 1 3 A が実施例の図 1 および図 4

に示した第2の分周回路213の4個よりも3個増えて7個となっている。先の第1の実施例では、第1のクロック選択回路212から出力される2相用クロック 256_1 、 256_2 のうちのある1相のクロックで取り込んだD型フリップフロップ回路261の出力データをもう1相のクロック入力で取り込むことは、非常に困難となる。これは、分周回路がGHz以上の高速動作を行う場合には、クロックの周期間隔が非常に短くなるからである。

【0075】

そこで第2の変形例では、図11に示したように第2-7のD型フリップフロップ回路511₇からの出力データとしての第4の4相クロック信号 521_4 を、第2-7のD型フリップフロップ回路511₇に入力しているクロックとしての2相用クロック 256_2 と同一のクロックで再度第2-6のD型フリップフロップ回路511₆で取り込み直している。これにより、動作速度に余裕が生じて、高速動作が可能になる。したがって、第2の変形例の多相クロック生成回路501によれば、GHz以上の高速クロックの分周を行うことができるという効果を奏することになる。

【0076】

なお、実施例では第1の分周回路211が第7相の基準クロック信号227の選択を行ったが、クロック発生回路202と第1の分周回路211の間に第1相～第8相の基準クロック信号221～228のうちから所望の位相のものを選択するスイッチ回路を配置してもよい。第1の変形例におけるクロック発生回路202と初段分周回路402の間についても同様である。

【0077】

更に実施例および変形例ではクロック発生回路202が第1相～第8相の基準クロック信号221～228を発生させる場合（2のn乗における値nが3の場合）を説明したが、値nはこれ以外の任意の整数値を採り得ることは当然である。

【0078】

【発明の効果】

以上説明したように請求項1記載の発明によれば、クロック選択手段制御手段

が、要求された分周比に応じて各クロック選択手段が基準クロックを選択するか分周後のクロックを選択するかを制御するので、最終段のクロック選択手段から所望の分周比のクロック信号を得ることができ、かつ複数得られたこれらのクロック信号から所望の位相のものを選択することができる。しかも本発明の場合には、第1段の分周手段が1つの基準クロックを選択し、それ以後は鼠算式に回路構成を拡張しているので、回路構成に無駄がなく、シンプルな回路構成とすることができ、回路規模の縮小と消費電力の節減にも貢献する。また、基準クロック信号の作成にPLL回路を使用した場合に電圧制御発振器の調整を行う必要なく所望の分周のクロック信号を得ることができるので、PLL回路の設計が容易になる。

【0079】

また、請求項2記載の発明によれば請求項1記載の発明と同様の効果を得ることができるだけでなく、第1段の分周手段の手前に初段分周手段を配置して第1段の分周手段に入力するクロック信号を基準クロック信号を2分周したものとしたので、簡単に分周数を増加させることができる。

【0080】

更に請求項3または請求項6記載の発明によれば、回路をD型フリップフロップ回路とインバータによって構成したので、回路動作の高速化が可能である。

【0081】

また、請求項4記載の発明によれば、請求項3記載の多相クロック生成回路で、分周手段を構成する複数のD型フリップフロップ回路のうちのいずれか所定のD型フリップフロップ回路の出力データとしてのクロック信号を、この所定のD型フリップフロップ回路に入力しているクロックと同一のクロックで再度この分周手段を構成する他のD型フリップフロップ回路で取り込み直すように回路を構成したので、多相クロック生成回路の取り扱う基準クロックの高速化を達成することができる。

【0082】

更に請求項5記載の発明によれば、クロック選択手段制御手段が設定した分周数に応じて未使用となった分周手段に入力する少なくとも一部のクロックを遮断

するクロック遮断手段を具備させたので、更なる低消費電力化を図ることができる。

【 0 0 8 3 】

また、請求項 7 記載の発明によれば、基準クロック信号発生手段を PLL 回路で構成したので、出力する基準クロック信号自体の周波数を簡易に変更することができる。

【 0 0 8 4 】

更に請求項 8 または請求項 9 記載の発明では、最初に入力する基準クロック信号を任意に選択する基準クロック信号選択手段を具備させたので、簡単に所望の位相を設定できるだけでなく、すべての位相の基準クロックを処理する回路部分を備える場合と比べて回路規模の縮小と消費電力の節減を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の一実施例における多相クロック生成回路の概要を示したブロック図である。

【図 2】

本実施例でクロック発生回路から出力される第 1 ～第 8 相のクロック信号の波形を示した波形図である。

【図 3】

本実施例の第 1 の分周回路と第 1 のクロック選択回路を具体的に表わしたブロック図である。

【図 4】

本実施例の第 2 の分周回路と第 2 のクロック選択回路を具体的に表わしたブロック図である。

【図 5】

本実施例の第 3 の分周回路と最終段クロック選択回路を具体的に表わしたブロック図である。

【図 6】

本実施例の第 1 および第 2 のクロック選択回路ならびに最終段クロック選択回

路内の各スイッチを制御するスイッチ制御回路とスイッチの1つを表わしたブロック図である。

【図 7】

本実施例の多相クロック生成回路の各スイッチを制御することで出力されるクロック信号の波形を示した波形図である。

【図 8】

本発明の第 1 の変形例における多相クロック生成回路の概要を表わしたブロック図である。

【図 9】

第 1 の変形例における初段分周回路とこの次の段に配置された第 1 の分周回路の部分を具体的に表わしたブロック図である。

【図 1 0】

本発明の第 2 の変形例における多相クロック生成回路の概要を表わしたブロック図である。

【図 1 1】

第 2 の変形例で第 1 のクロック選択回路と第 2 の分周回路とその出力側を選択する第 2 のクロック選択回路の部分を具体的に表わしたブロック図である。

【図 1 2】

P L L回路を使用した従来の多相クロック生成回路の概要を表わしたブロック図である。

【図 1 3】

図 1 2 に示した回路を改良した従来の多相クロック生成回路の概要を表わしたブロック図である。

【図 1 4】

図 1 3 に示した多相クロック分周回路として従来提案された第 1 の例を示したブロック図である。

【図 1 5】

図 1 4 に示した回路を改良した従来の多相クロック生成回路の概要を表わしたブロック図である。

【図 1 6】

図 1 5 に示した回路を用いて複数の多相クロックを生成するようにした多相クロック生成回路の概要を表わしたブロック図である。

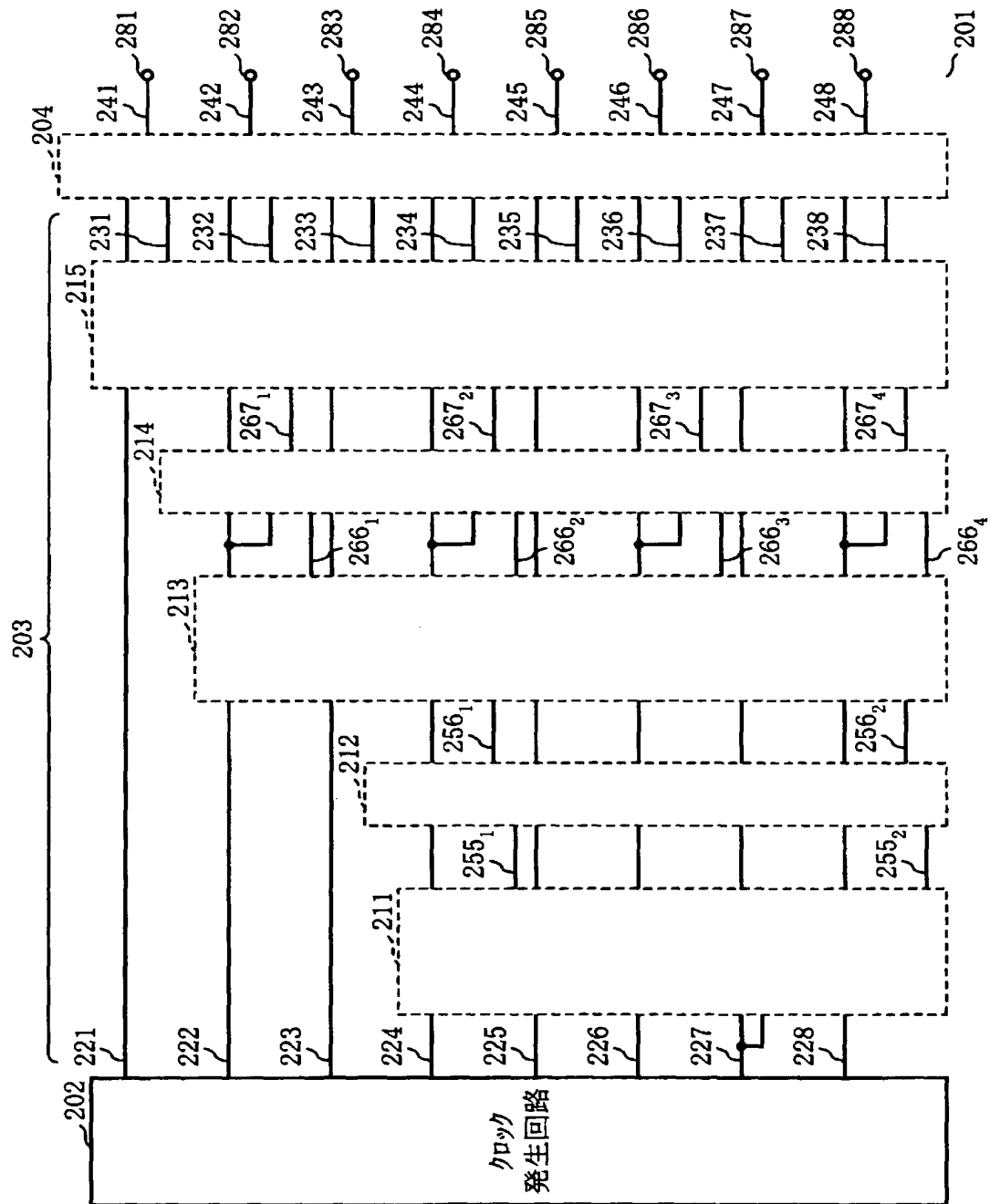
【符号の説明】

- 2 0 1、4 0 1、5 0 1 多相クロック生成回路
- 2 0 2 クロック発生回路
- 2 0 4 最終段クロック選択回路
- 2 1 1 第 1 の分周回路
- 2 1 2 第 1 のクロック選択回路
- 2 1 3、2 1 3 A 第 2 の分周回路
- 2 1 4 第 2 のクロック選択回路
- 2 1 5 第 3 の分周回路
- 2 2 1 第 1 相の基準クロック信号
- 2 2 2 第 2 相の基準クロック信号
- 2 2 3 第 3 相の基準クロック信号
- 2 2 4 第 4 相の基準クロック信号
- 2 2 5 第 5 相の基準クロック信号
- 2 2 6 第 6 相の基準クロック信号
- 2 2 7 第 7 相の基準クロック信号
- 2 2 8 第 8 相の基準クロック信号
- 3 0 0 スイッチ制御回路
- 4 0 2 初段分周回路

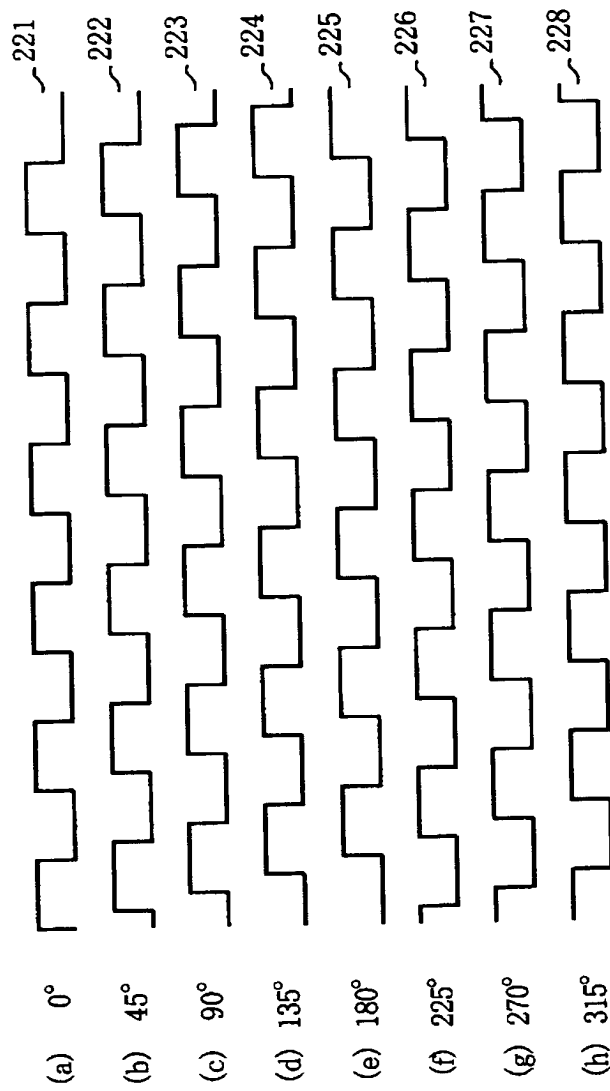
【書類名】

図面

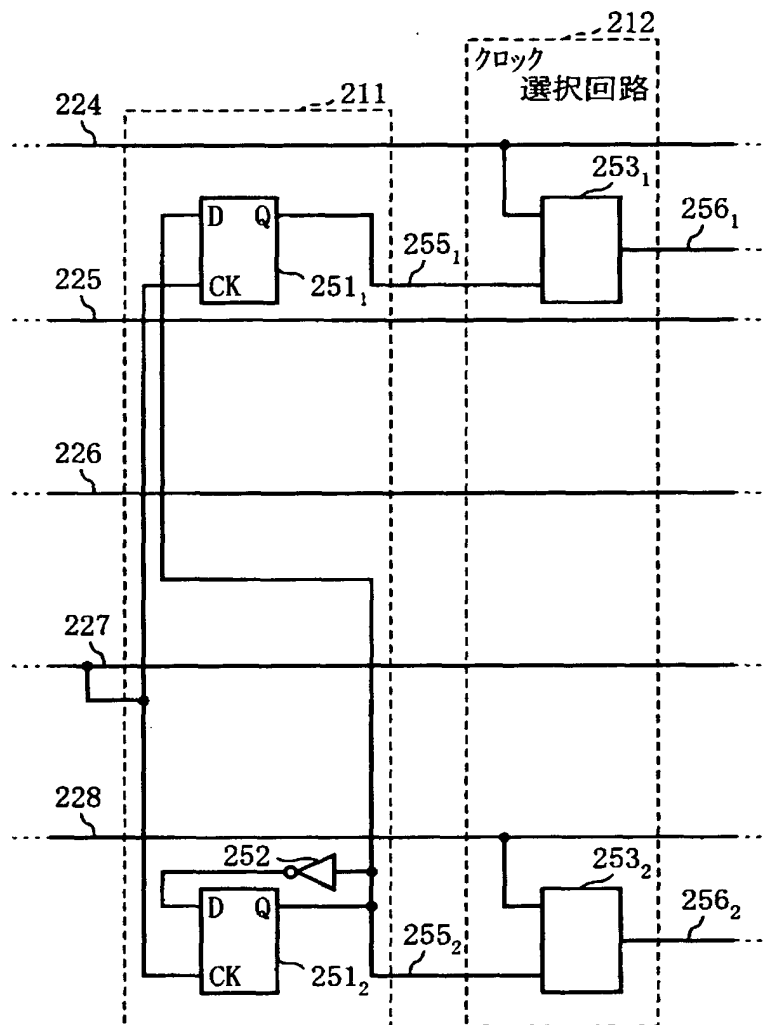
【図 1】



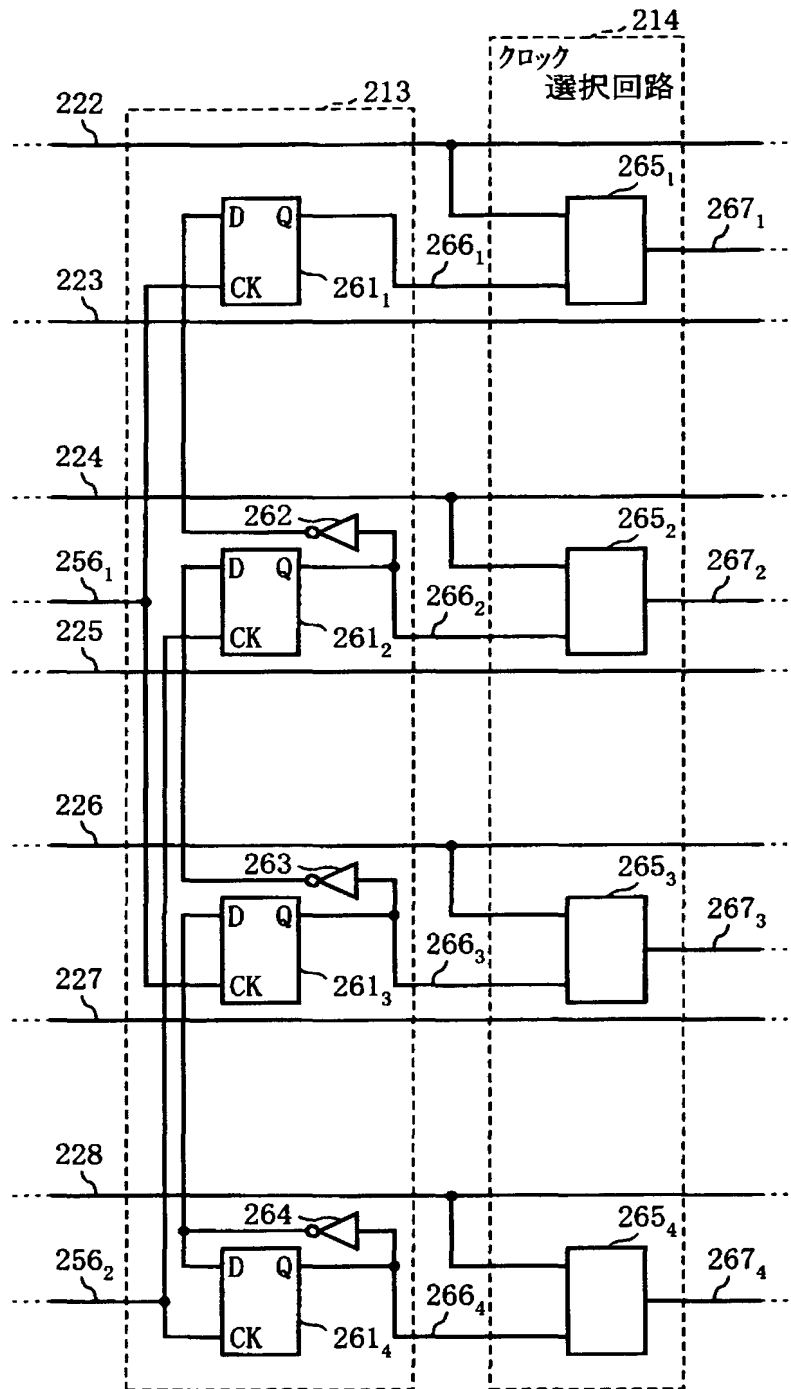
【図 2】



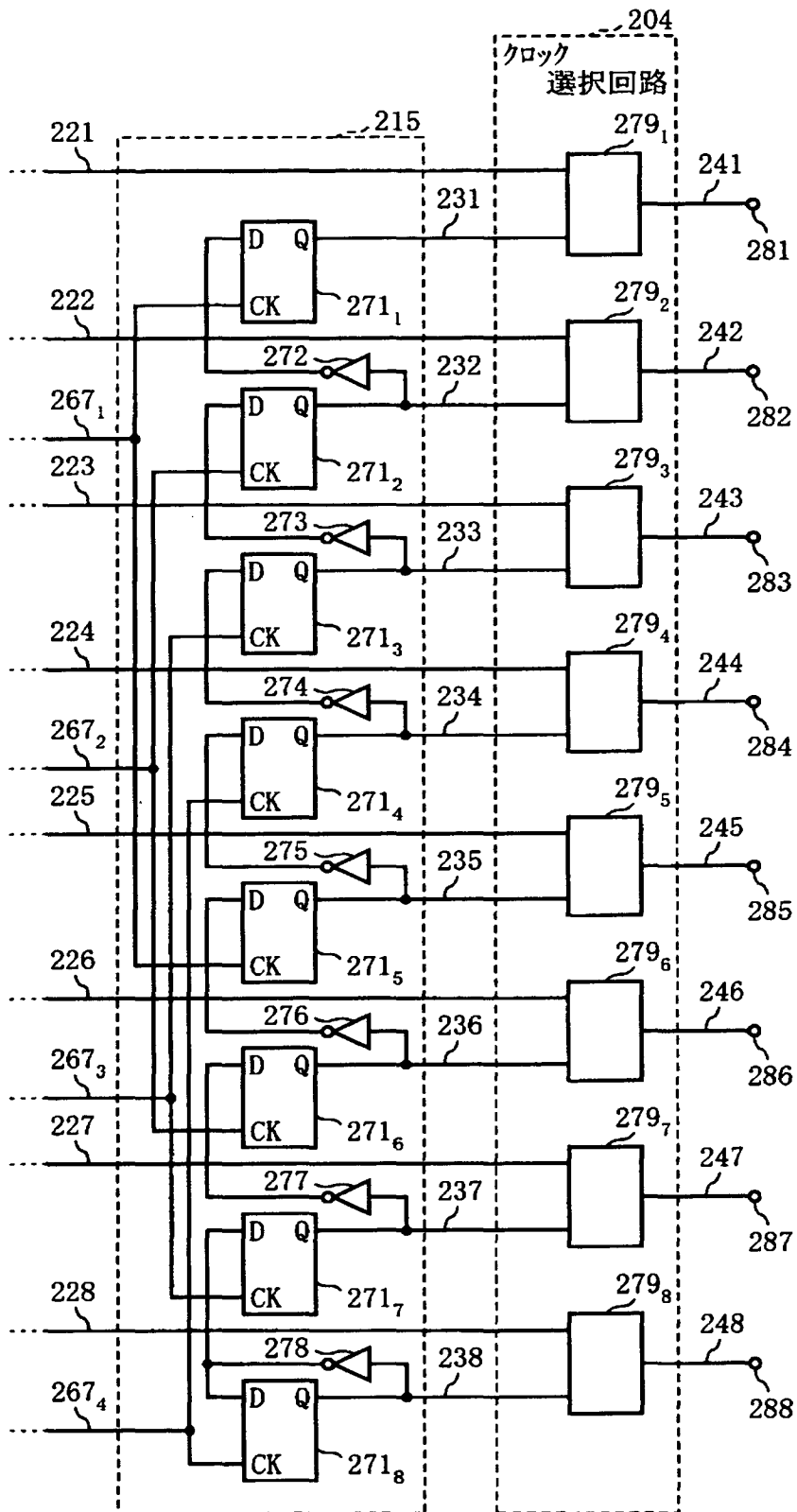
【図 3】



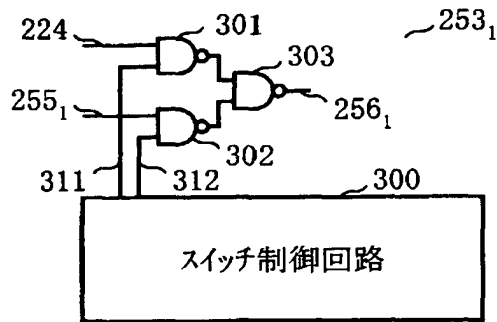
【図4】



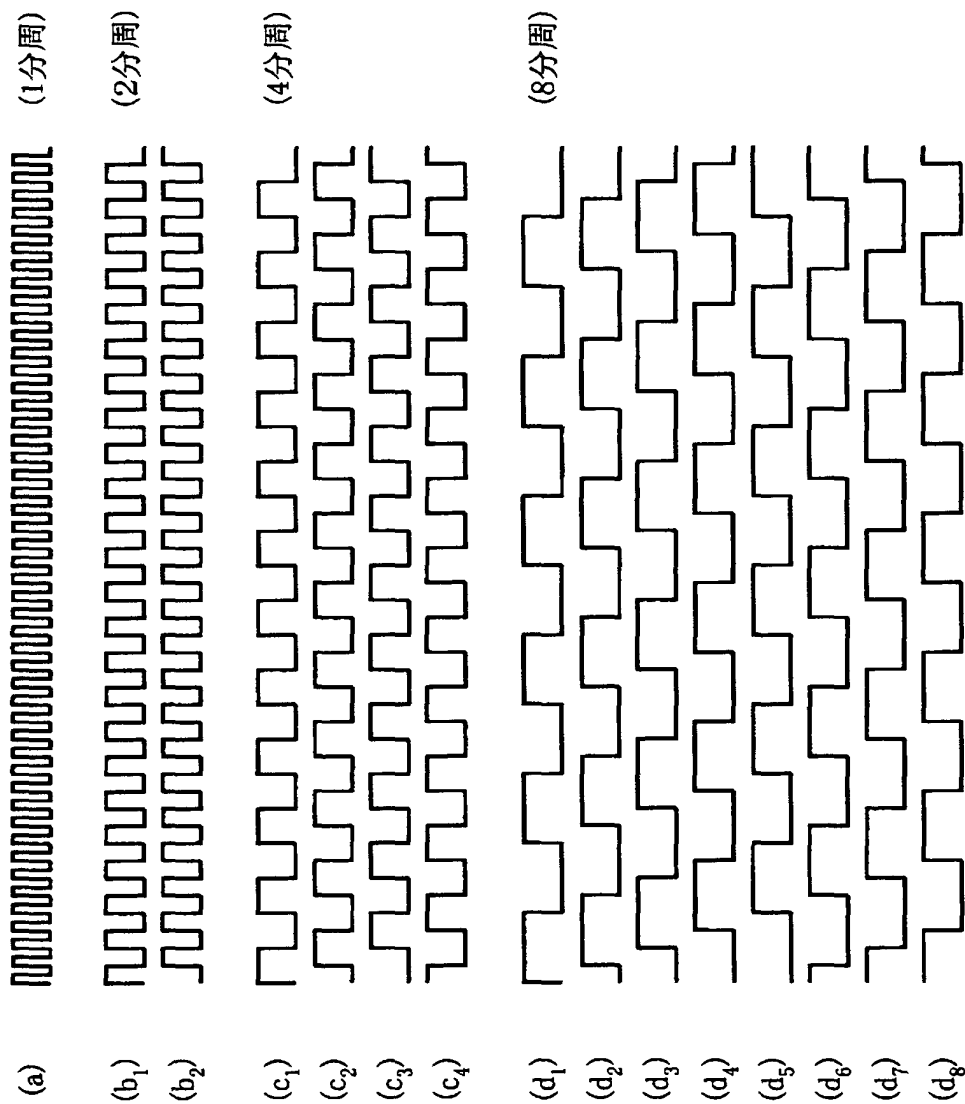
【図 5】



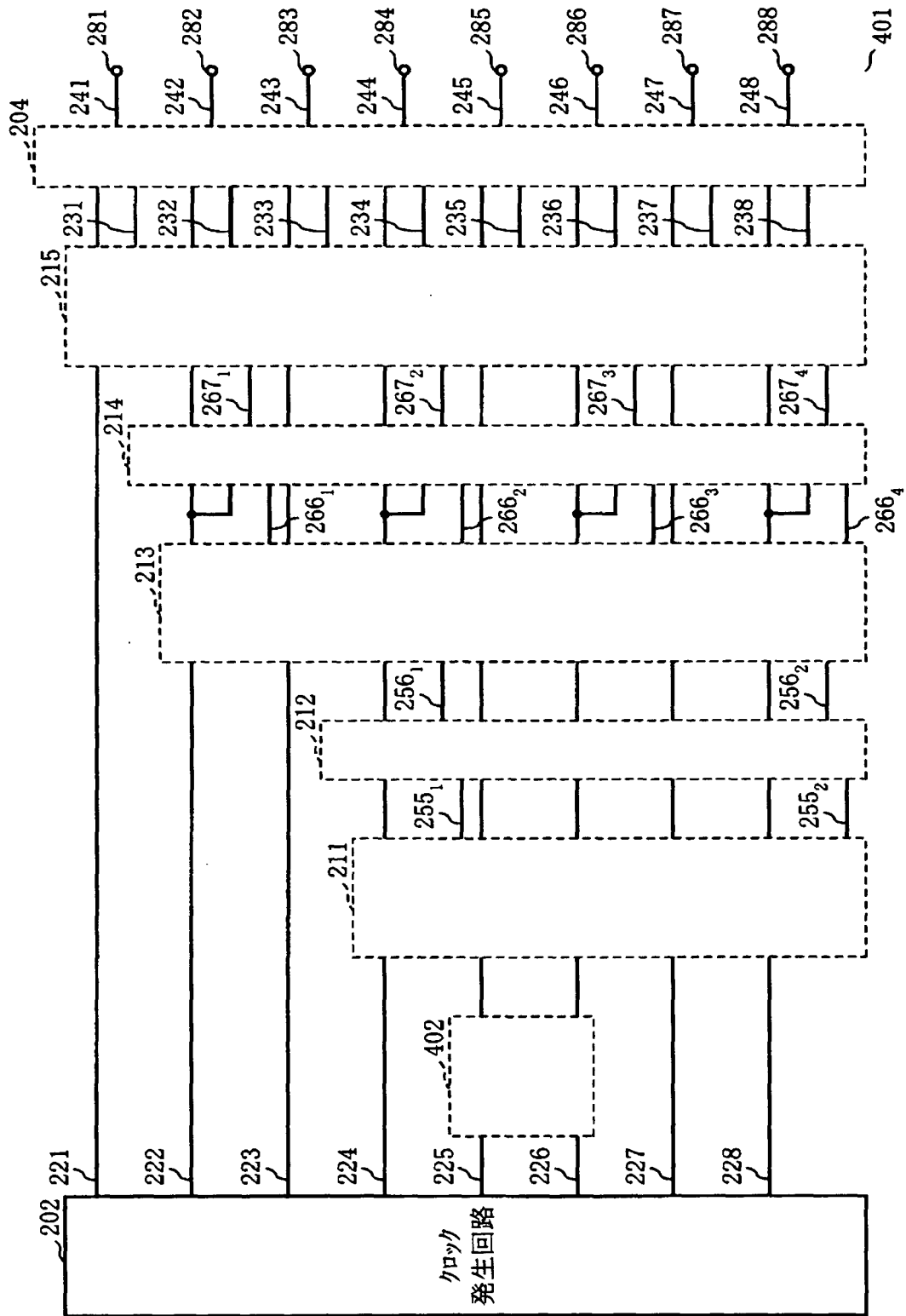
【図 6】



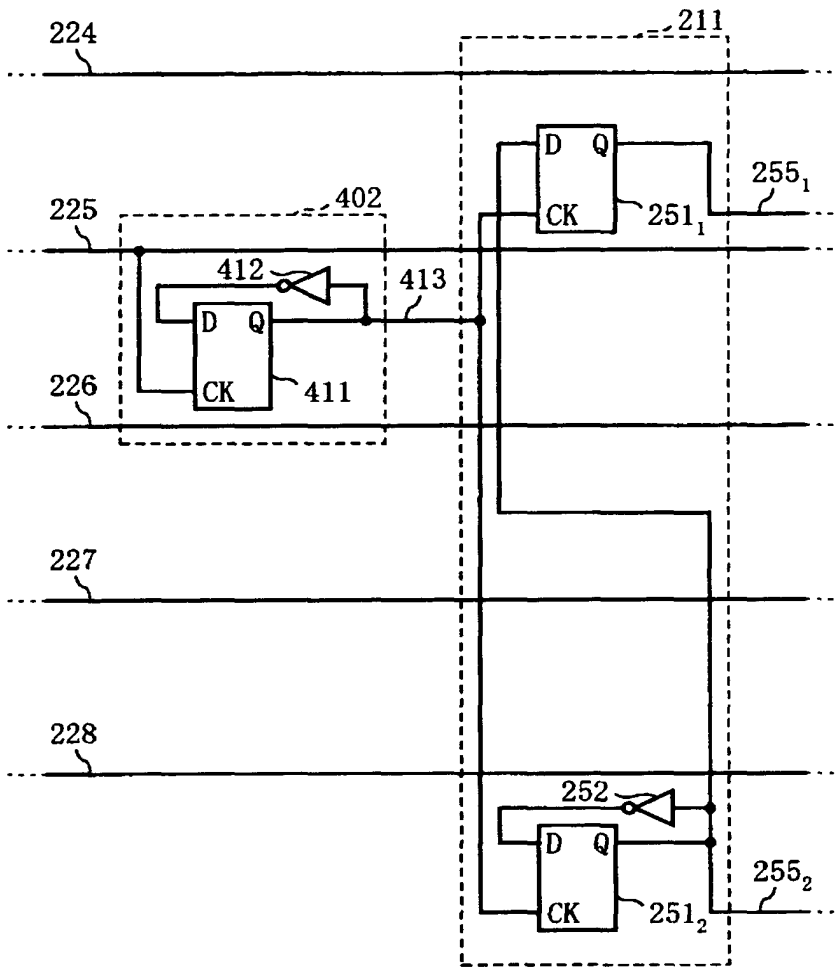
【図 7】



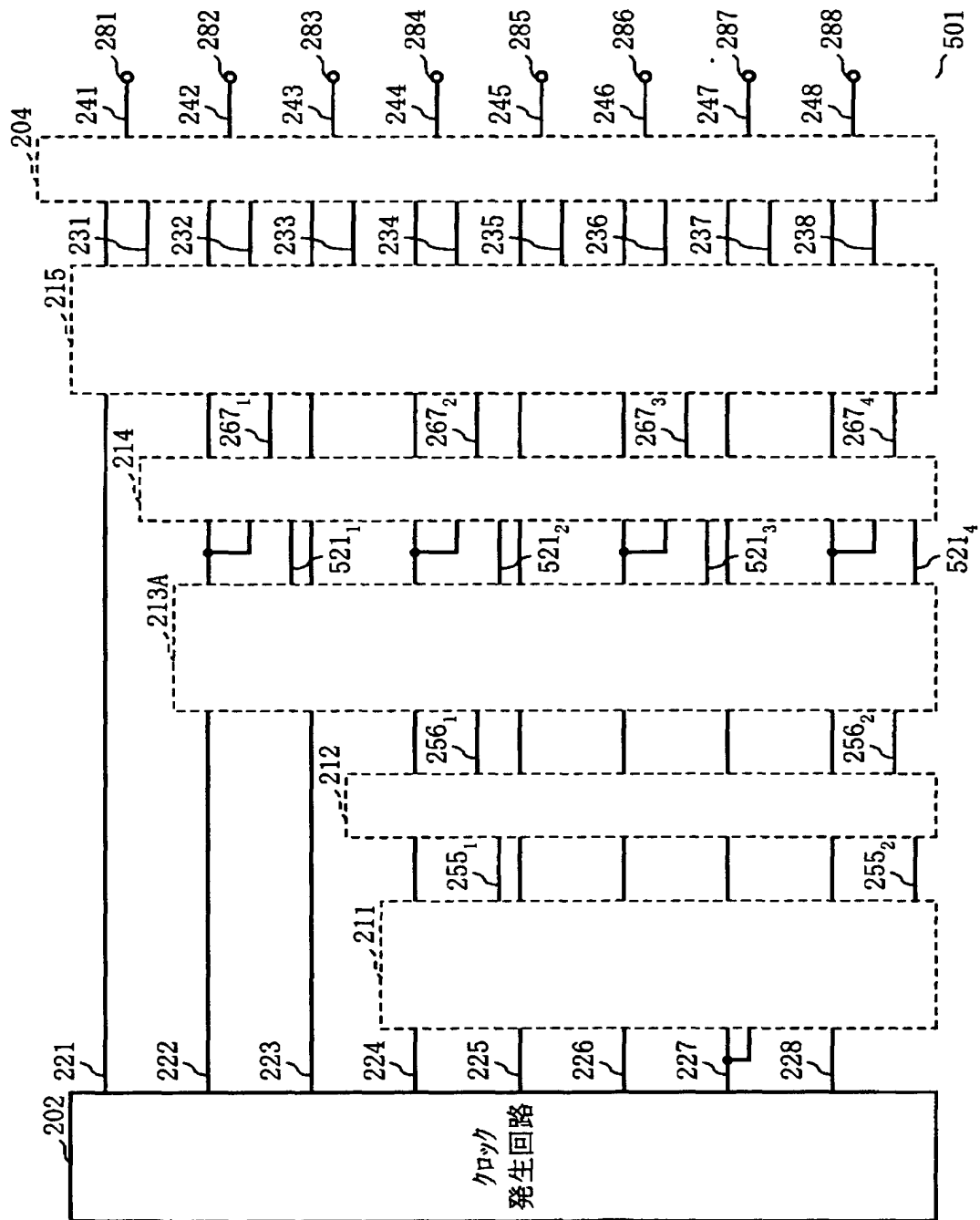
【図 8】



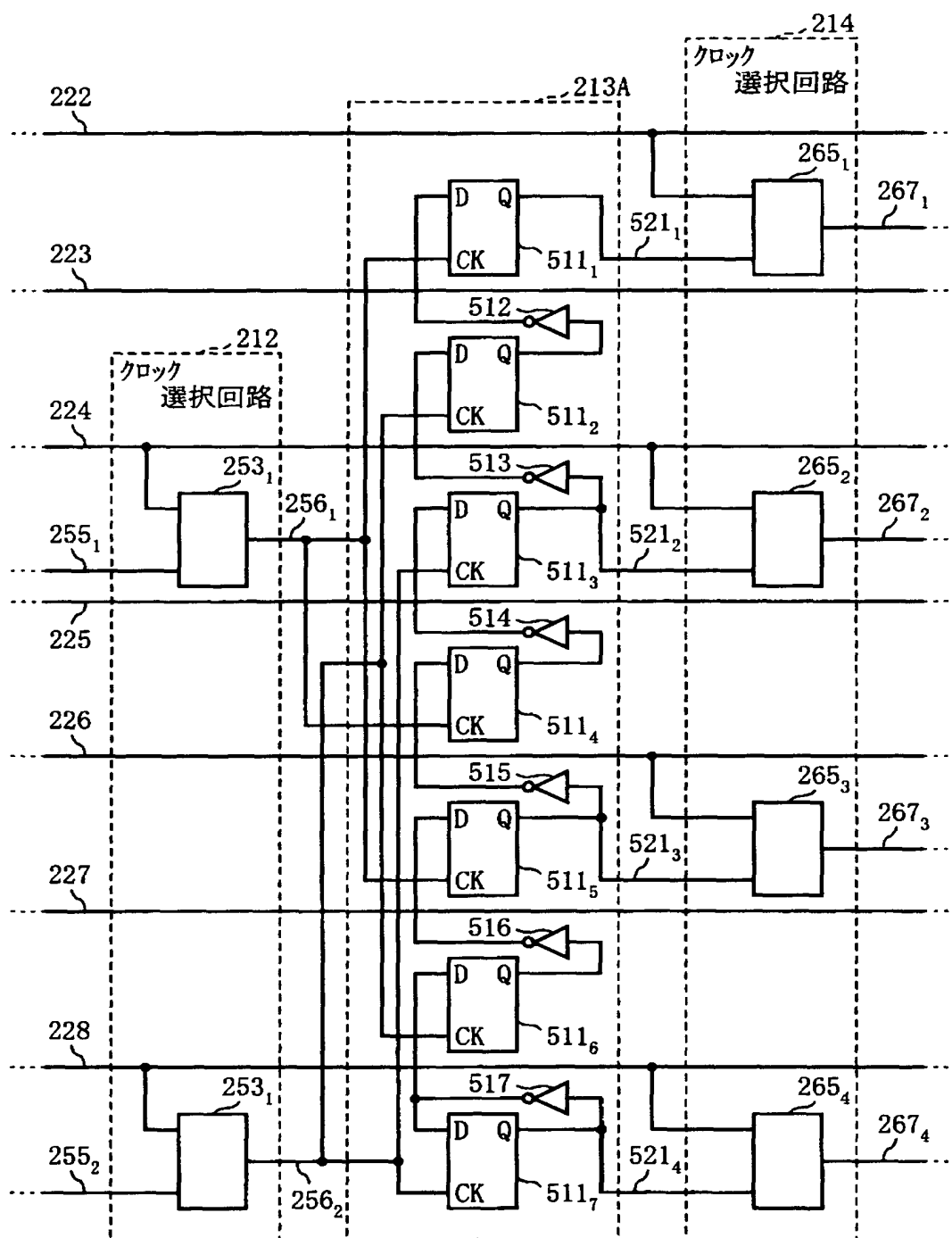
【図 9】



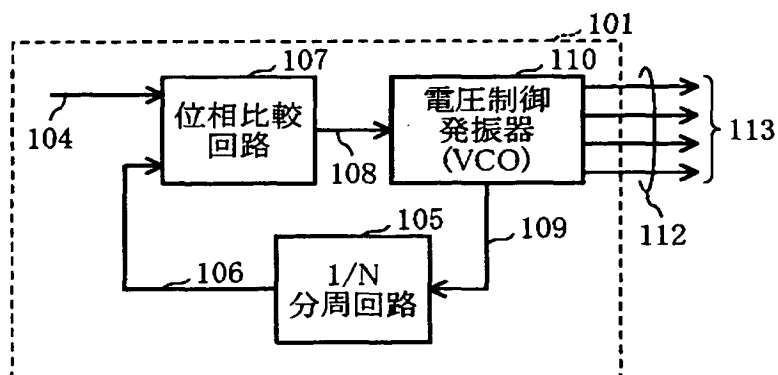
【図10】



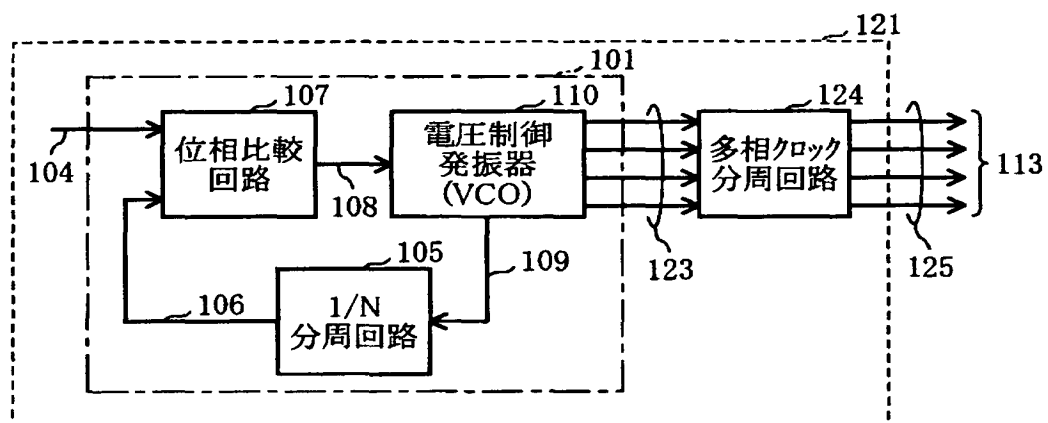
【図 11】



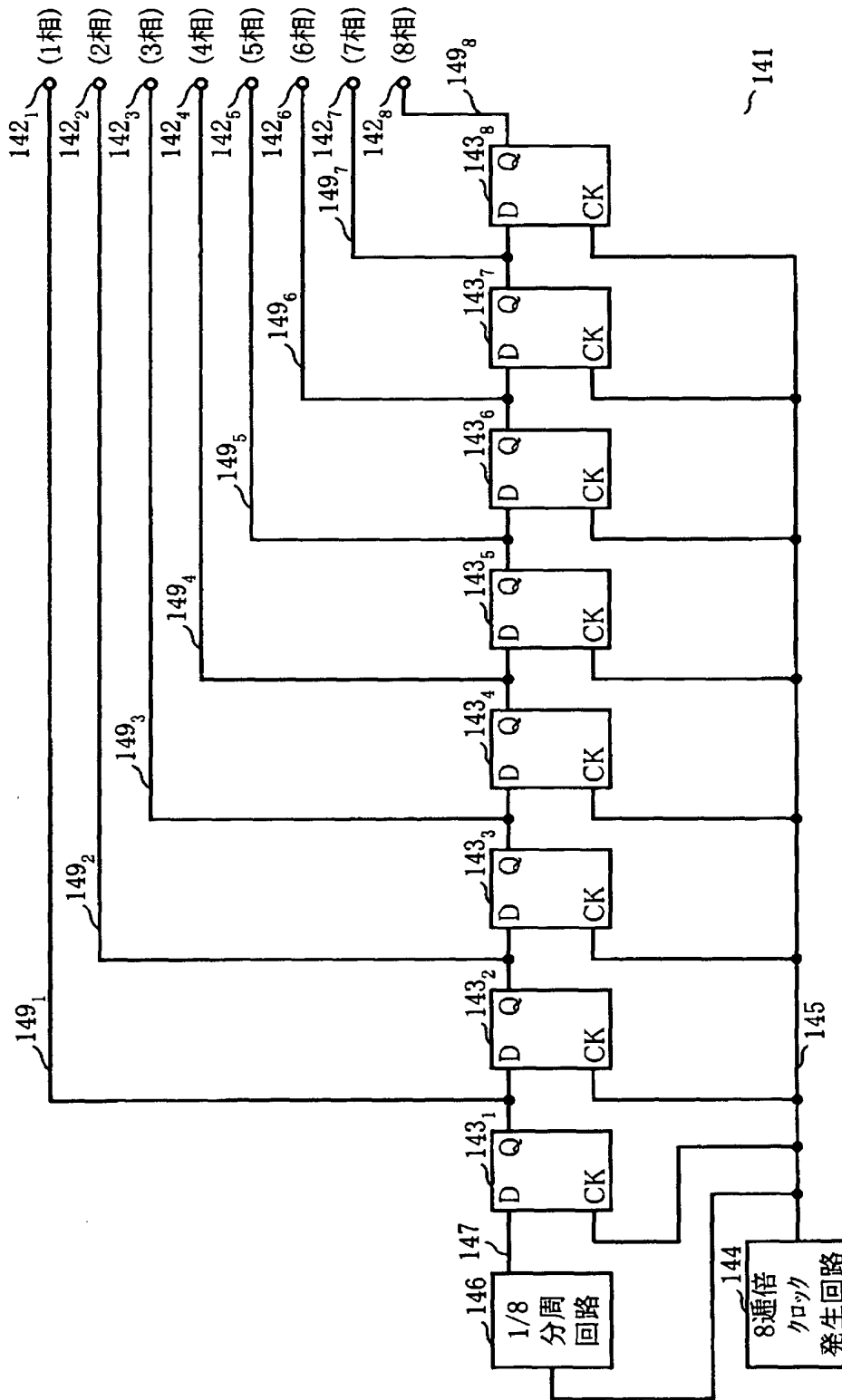
【図 1 2】



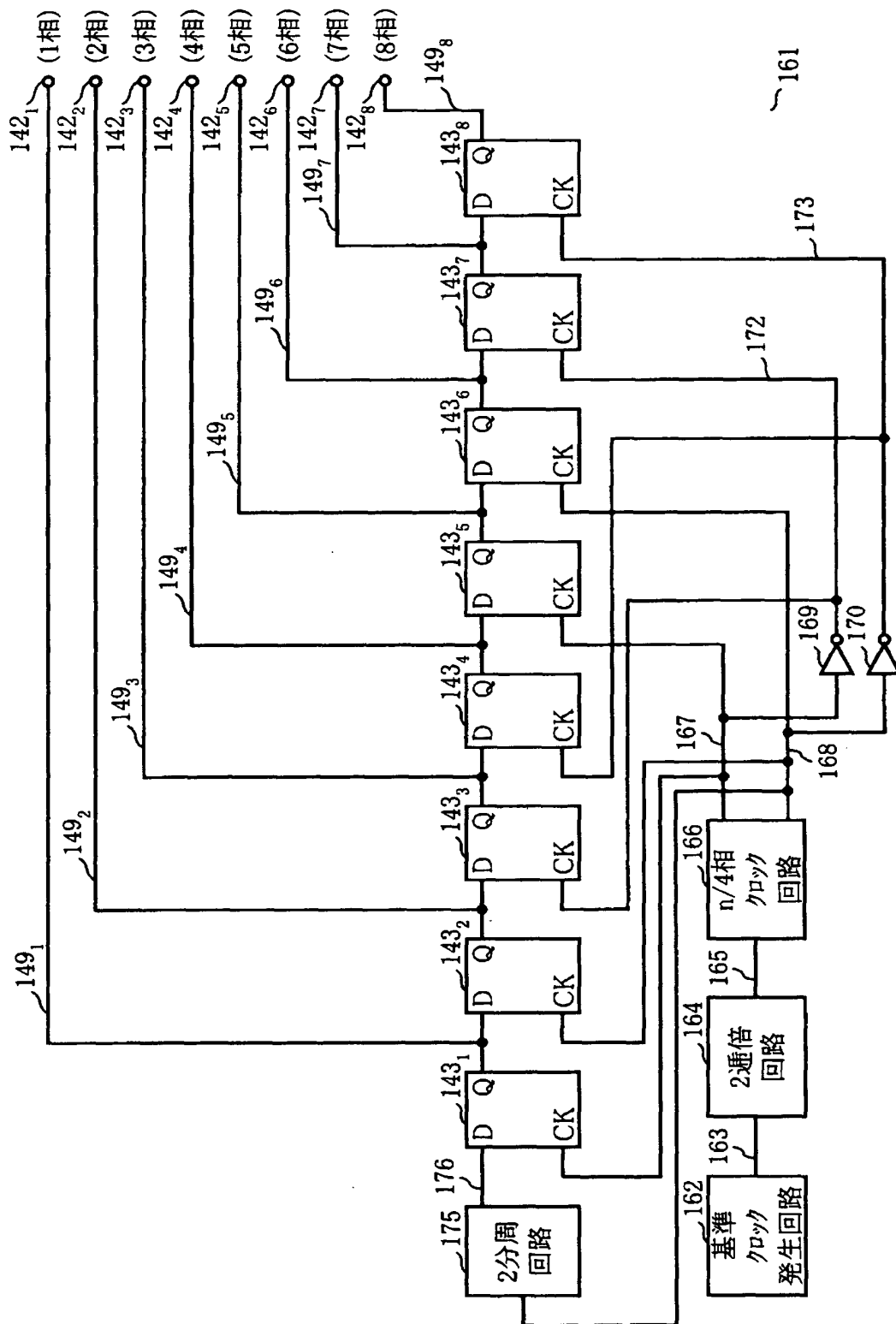
【図 1 3】



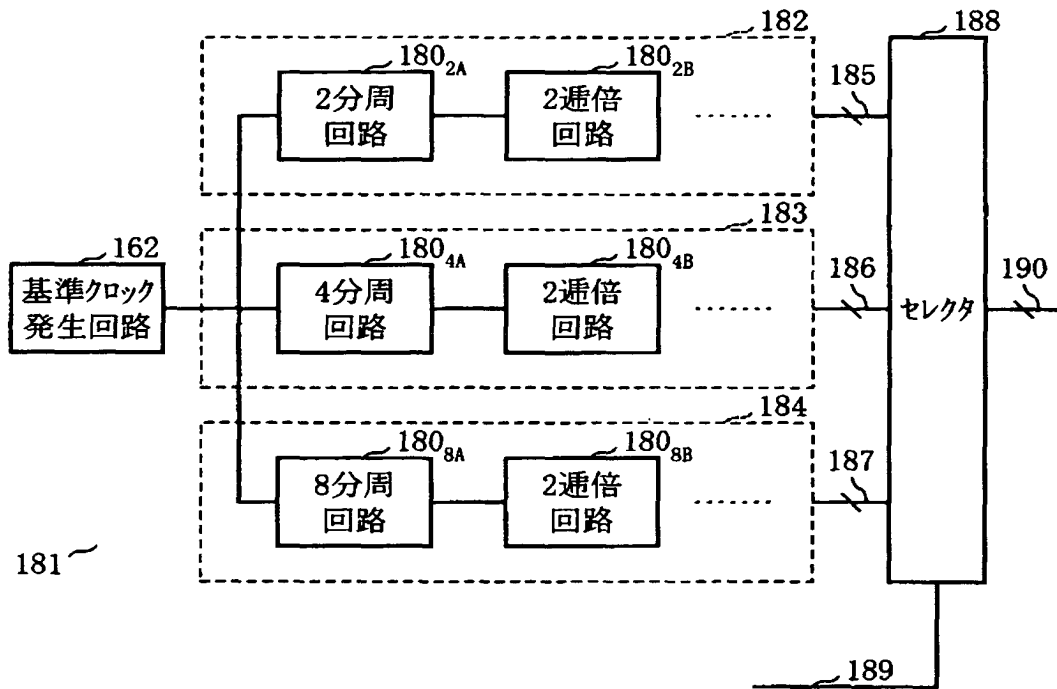
【図 14】



【図 15】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 比較的簡単な回路構成で多相クロックの分周比や位相を選択できる多相クロック生成回路を得ること。

【解決手段】 クロック発生回路 2 0 2 から出力される第 1 ～第 8 相の基準クロック信号 2 2 1 ～ 2 2 8 のうちの 1 つは第 1 の分周回路 2 1 1 で 2 分周され、その出力と基準クロック信号 2 2 1 ～ 2 2 8 が第 1 のクロック選択回路 2 1 2 で選択される。以下同様にして第 2 の分周回路 2 1 3、第 2 のクロック選択回路 2 1 4、第 3 の分周回路 2 1 5 および最終段クロック選択回路 2 0 4 で信号処理が行われる。図示しないスイッチ制御回路が各クロック選択回路 2 1 2、2 1 4、2 0 4 を制御することで所望の分周比のクロック信号で位相の所望のものを得ることができる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 1 1 6 3 7	
受付番号	5 0 2 0 1 0 6 6 7 8 0	
書類名	特許願	
担当官	第七担当上席	0 0 9 6
作成日	平成 1 4 年	7 月 2 2 日

< 認定情報・付加情報 >

【提出日】	平成14年 7月19日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日

[変更理由] 新規登録

住 所 東京都港区芝五丁目 7 番 1 号

氏 名 日本電気株式会社